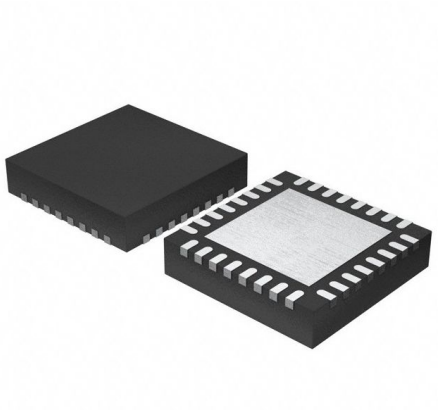
非接触式读卡器 IC

描述

MS523 是一款应用于 13.56MHz 非接触式通信中的高集成度读写卡芯片，它集成了在 13.56MHz 下所有类型的被动非接触式通信方式和协议，支持 ISO14443A/B 的多层应用。



主要特点

- 高度集成的解调和解码模拟电路
- 采用少量外部器件，即可将输出驱动级接至天线
- 支持 ISO/IEC 14443 A 和 14443 B
  106kBd,212kBd,424kBd,848kBd 传输速率的通信
- 读写距离可达 50mm，这取决于天线设计
- 支持主机接口
  - ◆10Mbit/s 的 SPI 接口
  - ◆I^2C 接口，快速模式的速率为 400kBd，高速模式的速率为 3400kBd
  - ◆高达 1228.8kBd 的 RS232 串行 UART，其电平取决于所提供的管脚电压
- 64 字节的发送和接收 FIFO 缓冲区
- 灵活的中断模式
- 低功耗的硬件复位
- 软件掉电模式
- 可编程定时器
- 内部振荡器，连接 27.12MHz 的晶体
- 2.5V-3.3V 的电源电压
- CRC 协处理器
- 可编程的 I/O 管脚
- 内部自检

应用

- 智能“三表”
- 公共交通终端
- 便携式手持设备
- 非接触式公用电话

产品规格

产 品	封 装 形 式	打印名称
MS523	QFN32	MS523

内部框图

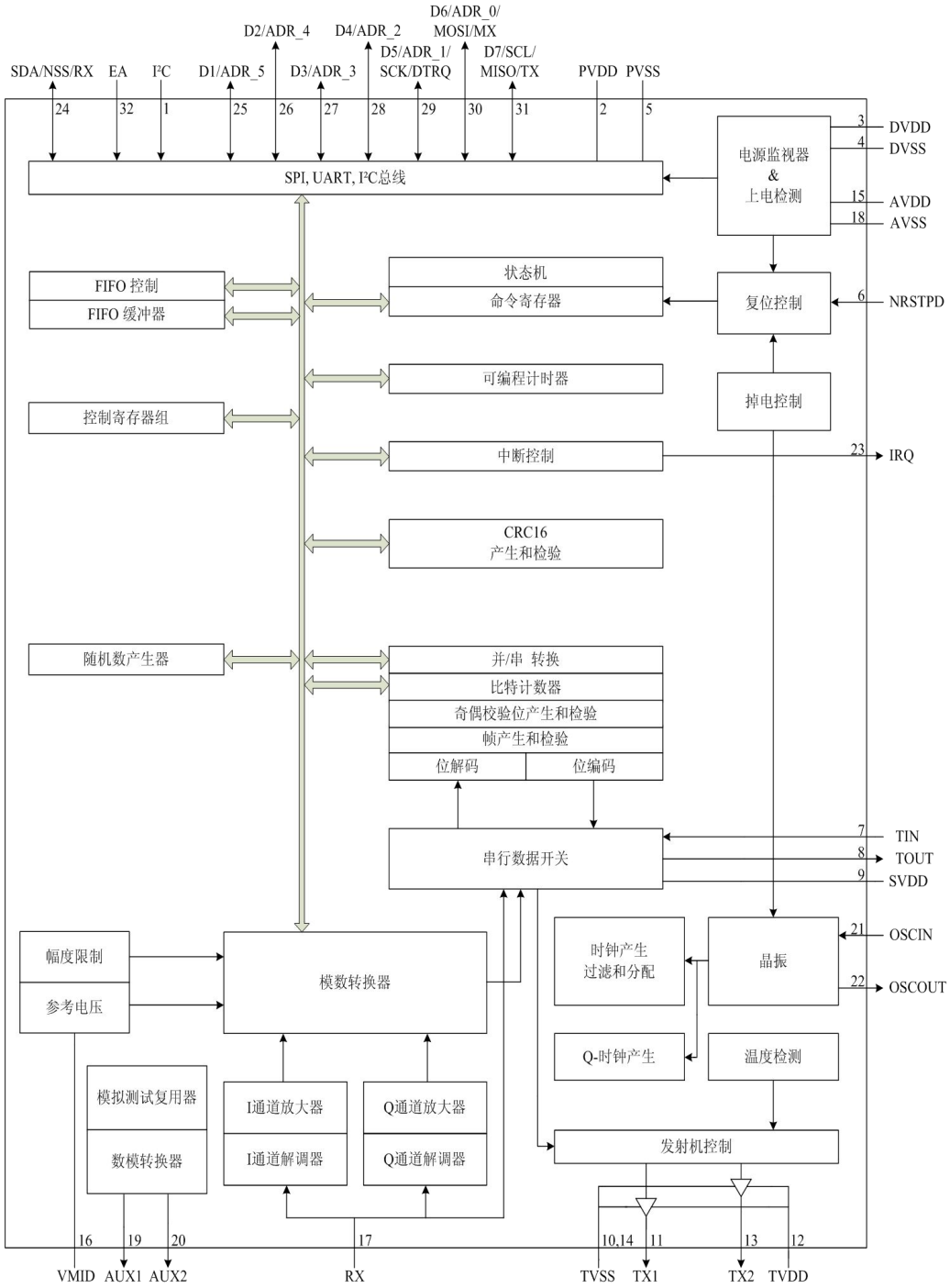


图1. MS523内部框图

快速参考数据

表 1. 快速参考数据

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源	$V_{DD(PVDD)} \leq V_{DDA}=V_{DDD}=V_{DD(TVDD)}$;[1][2]	2.5	3.3	3.6	V
V_{DDD}	数字电源	$V_{SSA}=V_{SSD}=V_{SS(PVSS)}=V_{SS(TVSS)}$=0V[3]	2.5	3.3	3.6	V
$V_{DD(TVDD)}$	T_{VDD} 电源		2.5	3.3	3.6	V
$V_{DD(PVDD)}$	P_{VDD} 电源		1.6	1.8	3.6	V
$V_{DD(SVDD)}$	S_{VDD} 电源	$V_{SSA}=V_{SSD}=V_{SS(PVSS)}=V_{SS(TVSS)}$=0V	1.6	-	3.6	V
I_{PD}	静态电流	$V_{DDA}=V_{DDD}=V_{DD(TVDD)}=V_{DD(PVDD)}$=3V				
		硬件掉电；NRSTPD 脚置为低 [4]	-	-	5	μA
		软件掉电；RF 电平检测器关闭 [4]	-	-	10	μA
I_{DDD}	数字电源电流	管脚 DVDD；V_{DDD}=3V	-	5.7	-	mA
I_{DDA}	模拟电源电流	管脚 AVDD；V_{DDA}=3V，CommandReg 寄存器 RcvOff 位为 0	-	3.8	-	mA
		管脚 AVDD；关闭接收器；V_{DDA}=3V，CommandReg 寄存器 RcvOff 位为 1	-	1.3	-	mA
$I_{DD(PVDD)}$	PVDD 电源电流	管脚 PVDD [5]	-	-	40	mA
$I_{DD(TVDD)}$	TVDD 电源电流	管脚 TVDD；连续波 [6][7][8]	-	60	100	mA
T_{amb}	环境温度	QFN32	-40	-	+100	℃

[1] 电源电压在 3V 以下会降低器件的性能，例如，可实现的通讯距离。
[2] V_{DDA}，V_{DDD} 和 $V_{DD(TVDD)}$ 必须是相同电压。
[3] $V_{DD(PVDD)}$ 电压必须和 V_{DDD} 相同或更低。
[4] I_{pd} 是所有电源的总电流。
[5] $I_{DD(PVDD)}$ 取决于数字引脚的总负荷。
[6] $I_{DD(TVDD)}$ 取决于 $V_{DD(TVDD)}$ 和外部电路相连的引脚 TX1 和 TX2。
[7] 一般在电路的操作期间，总电流低于 100 mA。
[8] 该典型值是在 13.56MHz 和引脚 TX1、TX2 之间使用互补驱动配置和一个 40Ω的天线匹配电阻。

简化框图

模拟通信接口用于模拟信号的调制与解调。

非接触式 UART 用来处理与主机通信时的协议要求。FIFO 缓冲区快速而方便地实现了主机和非接触式 UART 之间的数据传输。

不同的主机接口功能可满足不同用户的要求。

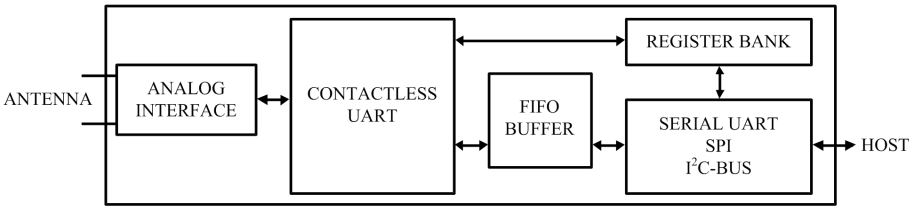


图 2. 简化的 MS523 框图

管脚描述

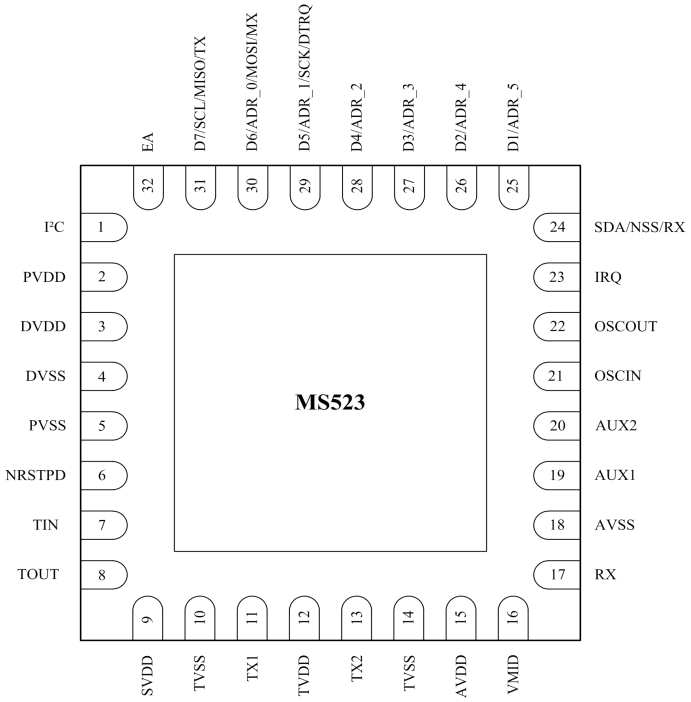


图 3. 封装

管脚描述

表 3. 管脚描述

管脚号	管 脚 名 称	类型[1]	管 脚 描 述
1	I^2C	I	I^2C 总线使能[2]
2	PVDD	P	管脚电源
3	DVDD	P	数字电源
4	DVSS	G	数字地[3]
5	PVSS	G	管脚电源地
6	NRSTPD	I	复位和掉电输入： 掉电：低电平使能；切断内部电流吸收，关闭振荡器，断开输入管脚与外部电路的连接。 复位：上升沿使能
7	TIN	I	测试信号输入
8	TOUT	O	测试信号输出
9	SVDD	P	TIN 和 TOUT 管脚电源
10	TVSS	G	发送器 TX1 输出级的地
11	TX1	O	发送器 1 输出调制的 13.56MHz 的能量载波信号

12	TVDD	P	发送器电源：给 TX1 和 TX2 的输出级供电
13	TX2	O	发送器 2 输出调制的 13.56MHz 的能量载波信号
14	TVSS	G	发送器 TX2 输出级的地
15	AVDD	P	模拟电源
16	VMID	P	内部参考电压
17	RX	I	RF 信号输入
18	AVSS	G	模拟地
19	AUX1	O	用于测试的辅助输出
20	AUX2	O	用于测试的辅助输出
21	OSCIN	I	晶振反相放大器输入；也是外部时钟的输入
22	OSCOUT	O	晶振反相放大器输出
23	IRQ	O	中断请求输出：指示一个中断事件
24	SDA	I/O	I^2C 总线的串行数据输入/输出[2]
	NSS	I	SPI 信号输入[2]
	RX	I	UART 地址输入[2]
25	D1	I/O	测试端口[2]
	ADR_5	I/O	I^2C 总线地址 5 输入[2]
26	D2	I/O	测试端口
	ADR_4	I	I^2C 总线地址 4 输入[2]
27	D3	I/O	测试端口
	ADR_3	I	I^2C 总线地址 3 输入[2]
28	D4	I/O	测试端口
	ADR_2	I	I^2C 总线地址 2 输入[2]
29	D5	I/O	测试端口
	ADR_1	I	I^2C 总线地址 1 输入[2]
	SCK	I	SPI 串行时钟输入[2]
	DTRQ	O	UART 输出到微控制器的请求[2]
30	D6	I/O	测试端口
	ADR_0	I	I^2C 总线地址 0 输入[2]
	MOSI	I/O	SPI 主出从入[2]
	MX	O	UART 输出到微控制器[2]
31	D7	I/O	测试端口
	SCL	I/O	I^2C 总线的时钟输入/输出[2]
	MISO	I/O	SPI 主入从出[2]
	TX	O	UART 输出到微控制器的数据[2]
32	EA	I	I^2C 总线地址编码的外部地址输入[2]

[1] 管脚类型：I=输入，O=输出，I/O=输入/输出，P=电源，D=地

[2] 这些管脚的功能描述在 1.3 节“数字接口”

[3]封装下面的散热垫的连接不是必须的。可选择连接到管脚 DVSS

功能描述

MS523 发送模块支持具有多种传输速率和调制方法的 ISO/IEC 14443 A 和 ISO/IEC 14443 B 的读写模式。

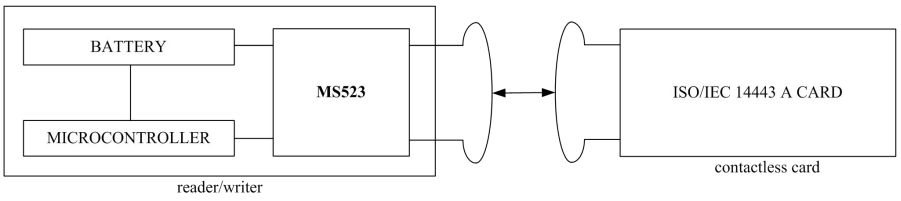
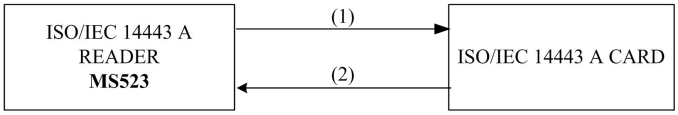


图 4. MS523 读写模式

1.1 ISO/IEC 14443 A 功能

具体通信如图 5 显示。



(1) Reader to card 100% ASK, Miller encoded, transfer speed 106 kBd to 848 kBd.
(2) Card to reader subcarrier load modulation, Manchester encoded or BPSK, transfer speed 106 kBd to 848 kBd.

图 5. ISO/IEC 14443 A 读写模式的通信框图

具体参数见表 4。

表 4. ISO/IEC 14443 A 读写器通信概述

通信方向	信号类别	传输速率			
		106kBd	212kBd	424kBd	848kBd
读卡器到卡（MS523 发送数据到卡）	调制	100%ASK	100%ASK	100%ASK	100%ASK
	位编码	修正米勒编码	修正米勒编码	修正米勒编码	修正米勒编码
	位长	128(13.56μs)	64(13.56μs)	32(13.56μs)	16(13.56μs)
卡到读卡器（MS523 从卡接收数据）	调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码方式	Manchester 编码	BPSK	BPSK	BPSK

MS523 的非接触 UART 和外部控制器之间的通信采用 ISO/IEC 14443 A 协议。图 6 显示了基于 ISO/IEC 14443 A 的编码图。

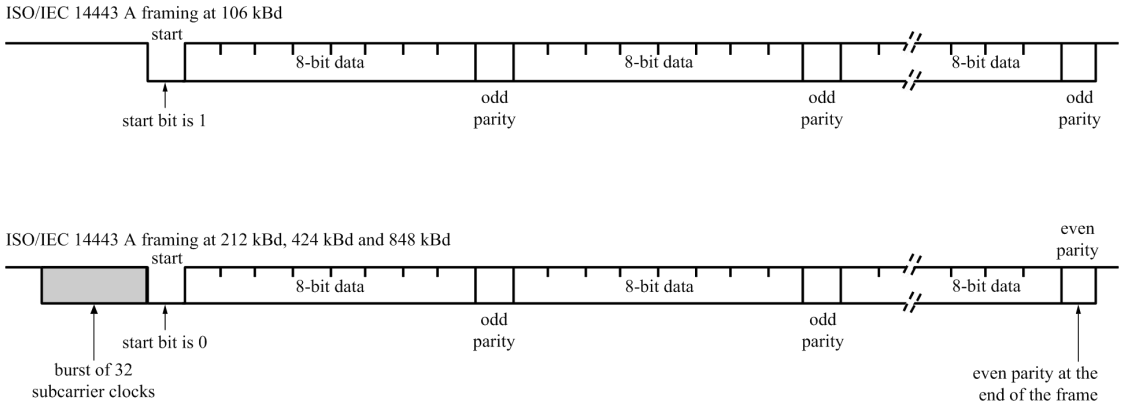


图 6. 基于 ISO/IEC 14443 A 协议的编码图

内部 CRC 协处理器根据 ISO 14443A part3 给出的定义来计算 CRC 值，并根据传输速率产生一个相应的奇偶校验位。可使用 ParityReg 寄存器的 ParityDisable 位关闭奇偶校验位产生。

1.2 ISO/IEC 14443 B 功能

MS523 读卡器 IC 支持 ISO 14443 国际标准，包含通信协议 ISO 14443 A 和 ISO 14443 B。

1.3 数字接口

1.3.1 自动检测微控制器接口类型

MS523 支持可直接相连的各种微控制器接口类型，如 SPI、I^2C 和串行 UART。MS523 可复位其接口，并可对执行了上电或硬复位的当前微控制器接口的类型进行自动检测。MS523 通过复位阶段后控制管脚上的逻辑电平来识别微控制器接口。每种接口有固定管脚的连接组合。表 5 列出了不同的连接配置：

表 5. 检测不同接口类型的连接方法

管脚	接口类型		
	UART	SPI	I^2C
SDA	RX	NSS	SDA
I2C	0	0	1
EA	0	1	EA
D7	TX	MISO	SCL
D6	MX	MOSI	ADR_0
D5	DTRQ	SCK	ADR_1
D4	-	-	ADR_2
D3	-	-	ADR_3
D2	-	-	ADR_4
D1	-	-	ADR_5

1.3.2 串行外设接口

支持串行外设接口（SPI 兼容）来使能到主机的高速通信。接口可处理高达 10Mbit/s 的数据速率。在与主机通信时，MS523 作为一个从机，从外设主机上接收数据来设置寄存器，发送和接收和 RF 接口通信有关的数据。

SPI 兼容的接口可在 MS523 和微控制器之间进行高速串行通信。该接口符合 SPI 标准。

时序规范见 4.1 节。

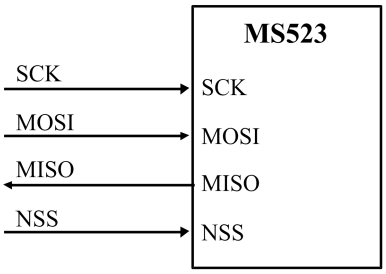


图 7. 使用 SPI 接口连接到主机

在 SPI 通信中 MS523 作为从机。SPI 时钟信号 SCK 必须由主机产生。数据通过 MOSI 线从主机传输到从机。通过 MISO 线数据从 MS523 发回到主机。

MOSI 和 MISO 传输每个字节时都是高位在前。MOSI 和 MISO 上的数据在时钟的上升沿保持不变，在时钟的下降沿改变。在时钟的下降沿，数据由 MS523 来提供，在时钟的上升沿数据保持不变。

1.3.2.1 SPI 读数据

使用表 6 所示的结构可将数据通过 SPI 接口读出。这样可以读出 n 个数据字节。

发送的第一个字节定义了模式和地址。

表 6.MOSI 和 MISO 字节顺序

线	字节 0	字节 1	字节 2	To	字节 n	字节 n+1
MOSI	地址 0	地址 1	地址 2	…	地址 n	00
MISO	X[1]	数据 0	数据 1	…	数据 n-1	数据 n

[1] X=无关项

注：先发送最高位。

1.3.2.2 SPI 写数据

使用表 7 所示的结构可将数据通过 SPI 接口写入 MS523。这样对应一个地址可以写入 n 个数据字节。

发送的第一个字节定义了模式和地址。

表 6.MOSI 和 MISO 字节顺序

线	字节 0	字节 1	字节 2	To	字节 n	字节 n+1
MOSI	地址 0	数据 0	数据 1	…	数据 n-1	数据 n
MISO	X[1]	X[1]	X[1]	…	X[1]	X[1]

[1] X=无关项

注：先发送最高位。

1.3.2.3 SPI 地址字节

地址字节必须按下面的格式传输。

第一个字节的 MSB 位定义了使用模式。MSB 位设置为 1 时，从 MS523 读取数据；MSB 位设置为 0 时，将数据写入 MS523。第一个字节的位 6-1 定义地址，LSB 位应当设置为 0。

表 8.地址字节

7（MSB）	6	5	4	3	2	1	0(LSB)
1=读 0=写	地址						0

1.3.3 UART 接口

1.3.3.1 连接到主机

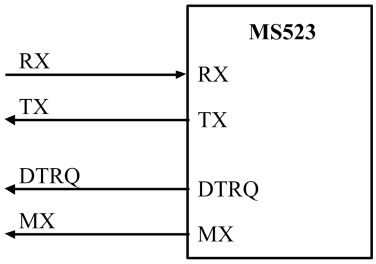


图 8. 使用 UART 接口连接到微控制器

注：通过对 TestPinEnReg 寄存器的 RS232LineEn 位清零，信号 DTRQ 和 MX 可以禁止。

1.3.3.2 可选的 UART 传输速率

内部 UART 接口兼容 RS232 串行接口。

默认的传输速率为 9.6kBd。要改变传输速率，主机控制器必须向 SerialSpeedReg 寄存器写入一个新的传输速率值。位 BR_T0[2:0]和位 BR_T1[4:0]定义的因数用来设置 SerialSpeedReg 中的传输速率。

BR_T0[2:0]和 BR_T1[4:0]的设置参考表 9。表 10 列举了一些传输速率和相应的寄存器设置。

表 9. BR_T0[2:0]和 BR_T1[4:0]的设置

BR_Tn	位 0	位 1	位 2	位 3	位 4	位 5	位 6	位 7
BR_T0 参数	1	1	2	4	8	16	32	64
BR_T0 范围	1-32	33-64	33-64	33-64	33-64	33-64	33-64	33-64

表 10. 可选的 UART 传输速率

传输速率（kBd）	SerialSpeedReg 值		传输速率精度（%）[1]
	十进制	十六进制	
7.2	250	FAh	-0.25
9.6	235	EBh	0.32
14.4	218	DAh	-0.25
19.2	203	CBh	0.32
38.4	171	ABh	0.32
57.6	154	9Ah	-0.25
115.2	122	7Ah	-0.25
128	116	74h	-0.06
230.4	90	5Ah	-0.25
460.8	58	3Ah	-0.25
921.6	28	1Ch	1.45
1228.8	21	15h	0.32

[1] 所有描述的传输速度中传输速度误差的结果都小于 1.5%

表 10 中所列的可选传输速率可根据下面的公式计算得到：

如果 BR_T0[2:0]=0：

$$传输速率 = \frac{27.12\times10^{6}}{(BR_T0+1)}$$

如果 BR_T0[2:0]＞0：

$$传输速率=\left(\frac{27.12\times10^{6}}{\frac{(BR_T1+33)}{2^{((BR_T0-1))}}}\right)$$

注：不支持大于 1228.8kBd 的传输速率。

1.3.3.3 UART 帧格式

表 11.UART 帧格式

位	长度	值
起始位	1 位	0
数据位	8 位	数据
结束位	1 位	1

注：对于数据和地址字节，LSB 位必须最先发送。传输过程中不使用奇偶校验位。

读数据：使用表 12 中的结构，可使用 UART 接口将数据读出。

发送的第一个字节定义了模式和地址。

表 12.读数据字节顺序

管脚	字节 0	字节 1
RX(管脚 24)	地址	–
TX(管脚 31)	–	数据 0

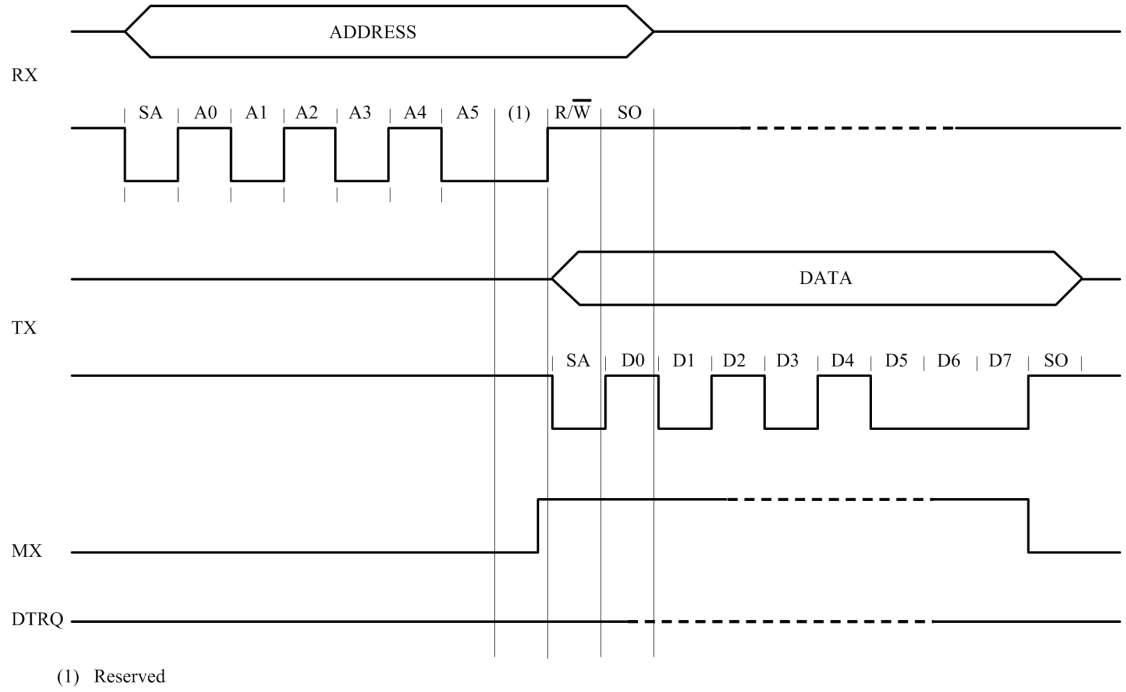


图 9.UART 读数据时序图

写数据：使用表 13 中的结构，可使用 UART 接口将数据写入 MS523。

发送的第一个字节定义了模式和地址。

表 13. 写数据字节顺序

管脚	字节 0	字节 1
RX(管脚 24)	地址 0	数据 0
TX(管脚 31)	–	地址 0

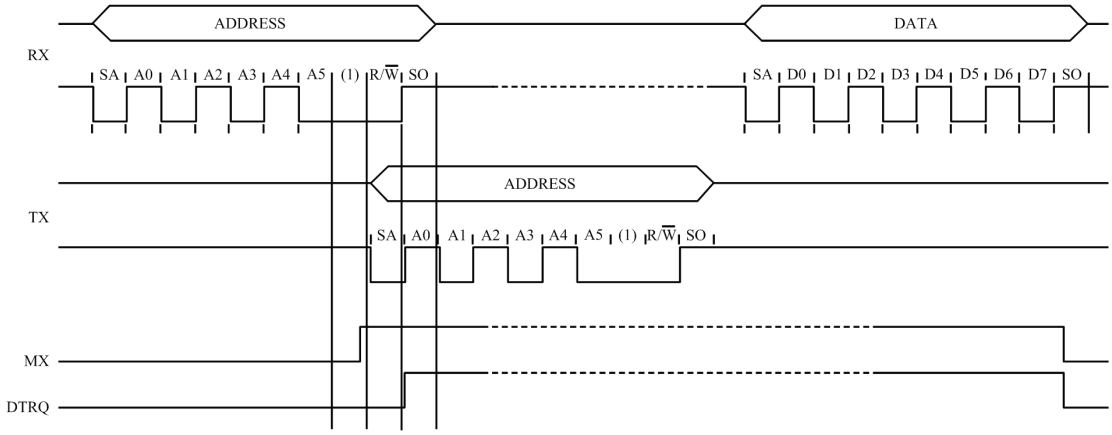


图 10. UART 写数据时序图

注：在地址字节到达 RX 管脚后，数据字节可以直接发送

地址字节：地址字节按下面的格式传输：

第一个字节的 MSB 位设置使用的模式。MSB 位设置为 1 时，从 MS523 读取数据。MSB 位设置为 0 时，将数据写入 MS523。第一个字节的位 6 保留为将来使用，位 5-1 定义地址；详见表 14。

表 14. 地址字节

7 (MSB)	6	5	4	3	2	1	0(LSB)
1=读 0=写	保留	地址					

1.3.4 I²C 总线接口

支持 I²C 总线接口可以使能到主机的低成本、少管脚数的串行总线接口。I²C 接口操作遵循 I²C 总线接口规范。该接口只能工作在从机模式。因此，MS523 不产生时钟，也不执行访问仲裁。

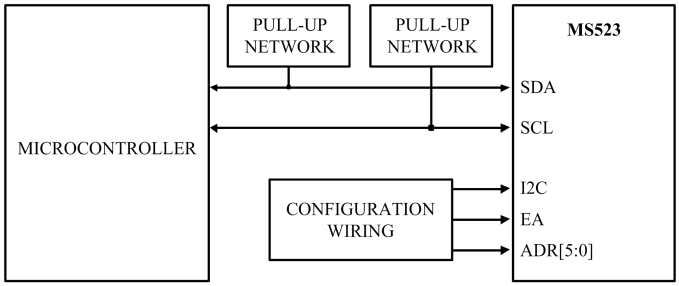


图 11. I²C 总线接口

在标准模式、快速模式和高速模式中，MS523 可用作从接收器或从发送器。

SDA 是一个双向数据线，通过一个电流源或上拉电阻连接到正电压。不传输数据时，SDA 和 SCL 均为高电平。MS523 有一个三态输出级来执行线与功能。标准模式下，I²C 总线的传输速率为 100kBd，快速模式下为 400kBd，高速模式下为 3.4Mbit/s。

如果选择 I²C 总线接口，管脚 SCL 和 SDA 管脚具有符合 I²C 接口规范的尖峰脉冲抑制功能。

相关时序参考表 155。

1.3.4.1 数据有效性

SDA 线上的数据在时钟周期的高电平期间保持不变。只有当 SCL 上的时钟信号为低电平时，数据线的高电平或低电平状态才能改变。

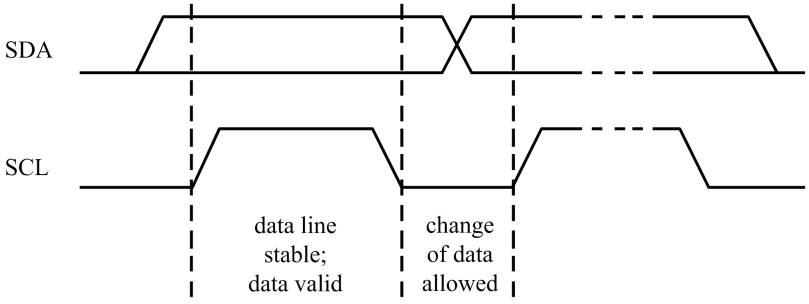


图 12. I²C 总线的位传输

1.3.4.2 起始和停止条件

要处理 I²C 总线的数据传输，必须定义起始（S）和停止（P）条件。

•起始条件定义为 SCL 高电平时 SDA 线上高到低的跳变。

•停止条件定义成 SCL 高电平时 SDA 线上低到高的跳变。

起始和停止条件通常由主机产生。起始条件后主机被认为处于忙碌状态；主机在停止条件结束一段时间后被认为重新回到空闲状态。

如果产生的是重复起始条件（Sr）而非停止条件，则总线仍处于忙碌状态。这时，起始条件（S）和重复起始条件（Sr）的功能完全相同。因此，S 符号就用作一个常用术语，代表起始（S）和重复起始（Sr）条件。

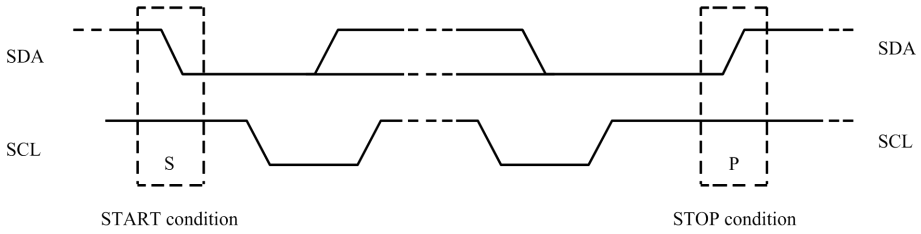


图 13.起始和停止条件

1.3.4.3 字节格式

每个字节后面必须跟一个应答位。数据传输时高位在前，如图 16 所示。一次数据传输发送的字节数不限，但必须符合读/写周期格式。

1.3.4.4 应答

应答是在一个数据字节结束后强制产生的。应答相应的时钟脉冲由主机产生。在应答时钟脉冲周期内，数据发送器释放 SDA 线（高电平）。在应答时钟脉冲期间，接收器拉低 SDA 线使得它在该时钟脉冲的高电平时间内保持低电平。

主机可以产生一个停止（P）条件来终止传输，也可以产生一个重复起始（Sr）条件来启动一次新的传输。

主接收器通过在最后一个字节后不产生应答来向从发送器指示数据的结束。从发送器应当释放数据线以允许主机产生一个停止（P）或重复起始（Sr）条件。

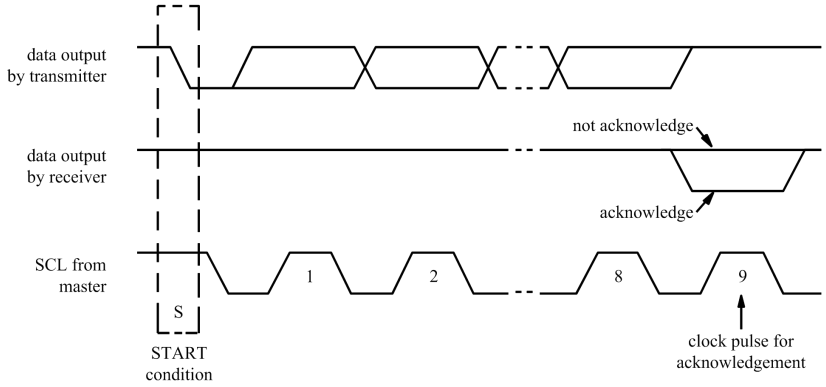


图 14. I²C 总线的应答

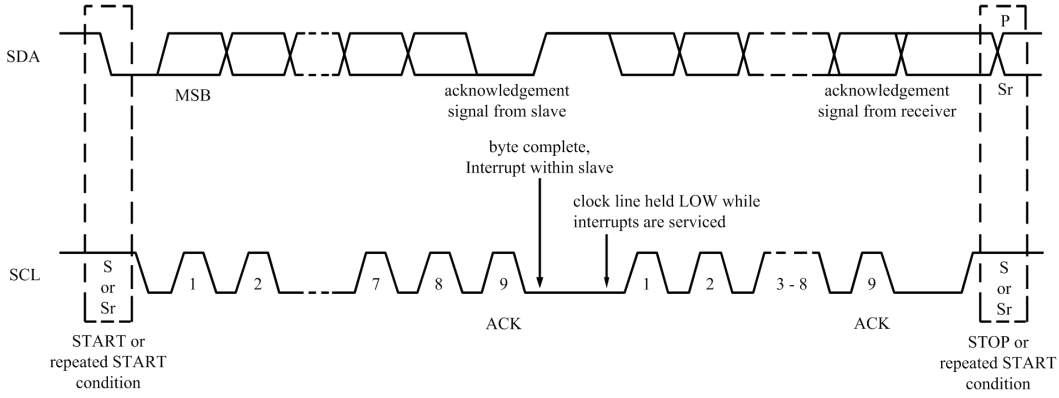


图 15. I²C 总线的数据传输

1.3.4.5 7 位寻址

在 I²C 总线寻址过程中，起始条件后的第一个字节用来确定主机选择的通信从机。多个地址被保留。这时，在器件配置过程中，设计者必须确保器件地址不会与保留的地址产生冲突。检查 I²C 总线规范保留地址的完整列表。

I²C 总线地址规范与 EA 管脚的定义有关。在 NRSTPD 管脚释放或上电复位后，器件根据 EA 管脚的逻辑电平来决定 I²C 总线地址。

如果 EA 管脚为低电平，则对于所有 MS523 器件，器件总线地址的高 4 位保留，设为 0101b。从机地址剩余的 3 位（ADR_0，ADR_1，ADR_2）可由用户自由配置，这样就可以防止与其它 I²C 器件产生冲突。

如果 EA 管脚设置为高电平，则 ADR_0-ADR_5 完全由表 5 中的外部管脚来确定。ADR_6 总是设置为 0。

在这两种模式下，外部地址编码都在复位条件释放后立即锁定。不考虑使用管脚上的进一步变化。通过配置外部连线，I²C 总线的地址管脚还可用作测试信号的输出。

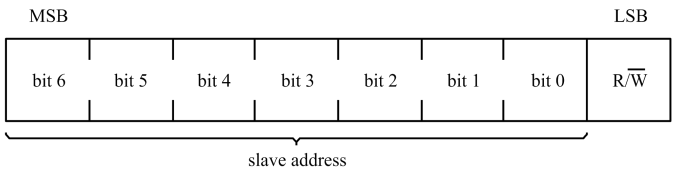


图 16. 起始条件后的第一个字节

1.3.4.6 寄存器写访问

使用下面的帧格式可使用 I²C 接口将数据从主机控制器写入 MS523 中指定的寄存器。

•帧的第一个字节是遵循 I²C 规则的器件地址。

•第二个字节是寄存器地址，接下来是 n 个数据字节。

在一帧中，所有数据字节都被写入相同的寄存器地址。这种方法可使能 FIFO 的快速访问。读/写位应当设置为 0。

1.3.4.7 寄存器读访问

使用下面的帧格式可读出 MS523 中指定寄存器的数据。

•首先，必须写入指定寄存器的地址，格式描述如下。

•帧的第一个字节是遵循 I²C 规则的器件地址。

•读/写位为 0。

写地址操作完成后，开始读访问。主机发送 MS523 的器件地址。作为回应，MS523 发送读访问寄存器的内容。在一帧中，所有数据字节都从相同的寄存器地址读出。这种方法可使能 FIFO 的快速访问或寄存器查询。

读/写位应当设置为 1。

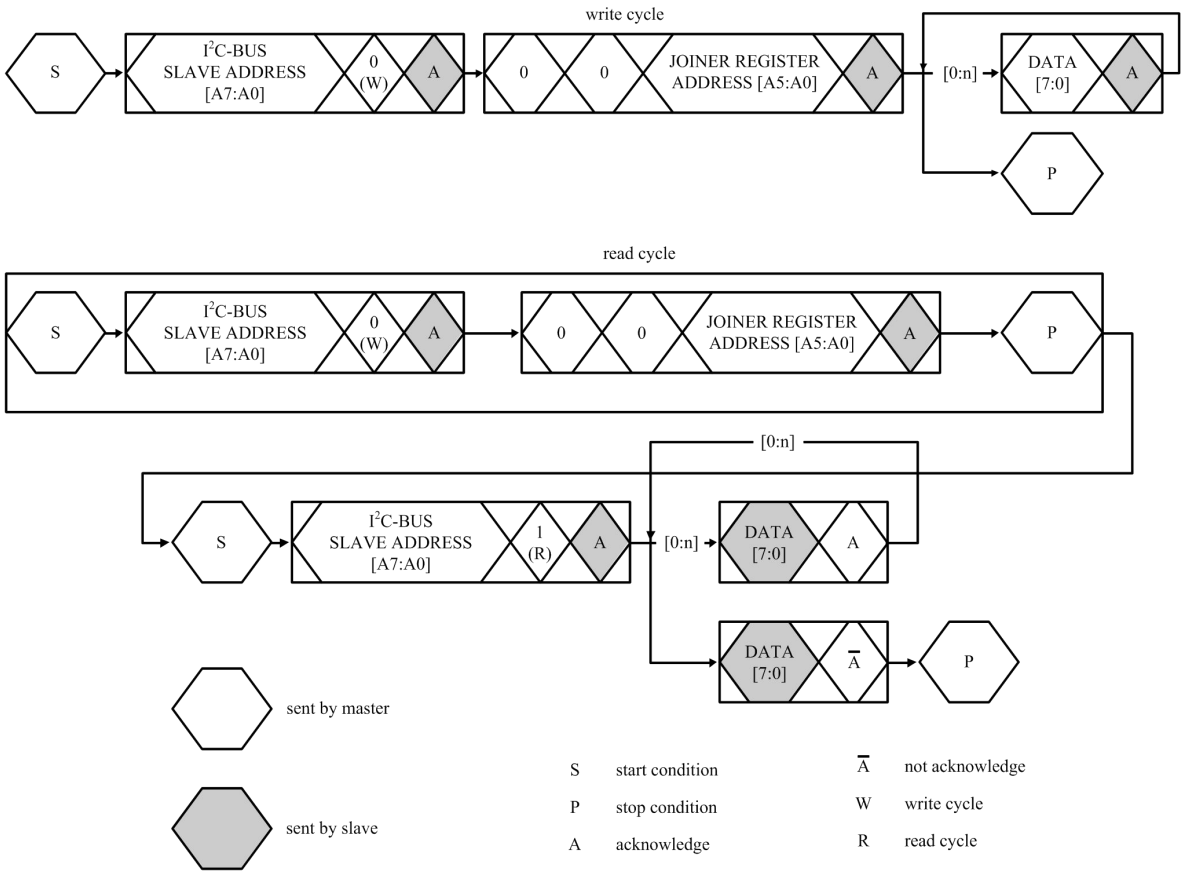


图 17. 寄存器读和写访问

1.3.4.8 高速模式

在高速模式下（HS 模式），器件的传输位速率高达 3.4Mbit/s。在混合速率的总线系统中，它保持完全向下兼容快速或标准模式（F/S 模式）的双向通信。

1.3.4.9 高速传输

为了获得高达 3.4Mbit/s 的位传输速率，对 I²C 总线操作作了以下改进。

•高速模式下器件的输入端有尖峰脉冲抑制功能，在 SDA 和 SCL 输入端有一个施密特触发器，它们与 F/S 模式相比有不同的时序常数。

•高速模式下器件的输出端控制 SDA 和 SCL 信号的下降沿斜率，它们与 F/S 模式相比有不同的时序常数。

1.3.4.10 高速模式下的串行数据传输格式

高速模式下的串行数据传输满足标准模式的 I²C 总线规范。只有满足以下条件高速模式传输才能启动（所有条件均在 F/S 模式）：

1.起始条件（S）

2.8 位主机代码（00001XXXb）

3.非应答位（$\overline{A}$）

高速模式开始后，在 7 位从地址和一个读/写位之后，有效主机再发送一个重复起始条件（Sr），从选择的 MS523 中接收一个应答位（A）。

下一个重复起始条件（Sr）后继续执行高速模式的数据传输，只在停止条件（P）后切换回 F/S 模式。为了降低主机代码开销，主机将大量的高速模式的传输链接到一起，这些传输通过重复起始条件（Sr）分隔开来。

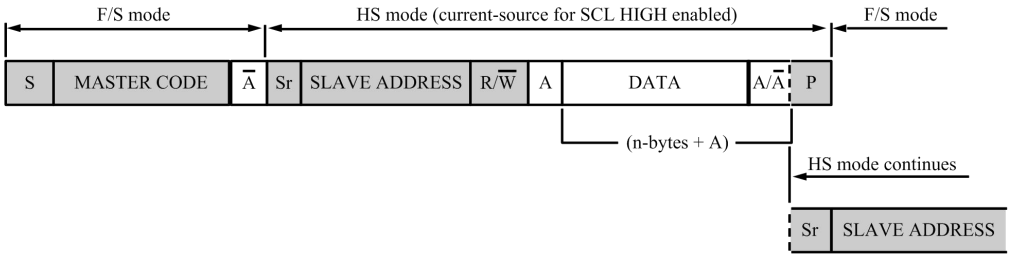


图 18. I²C 总线高速模式协议转换

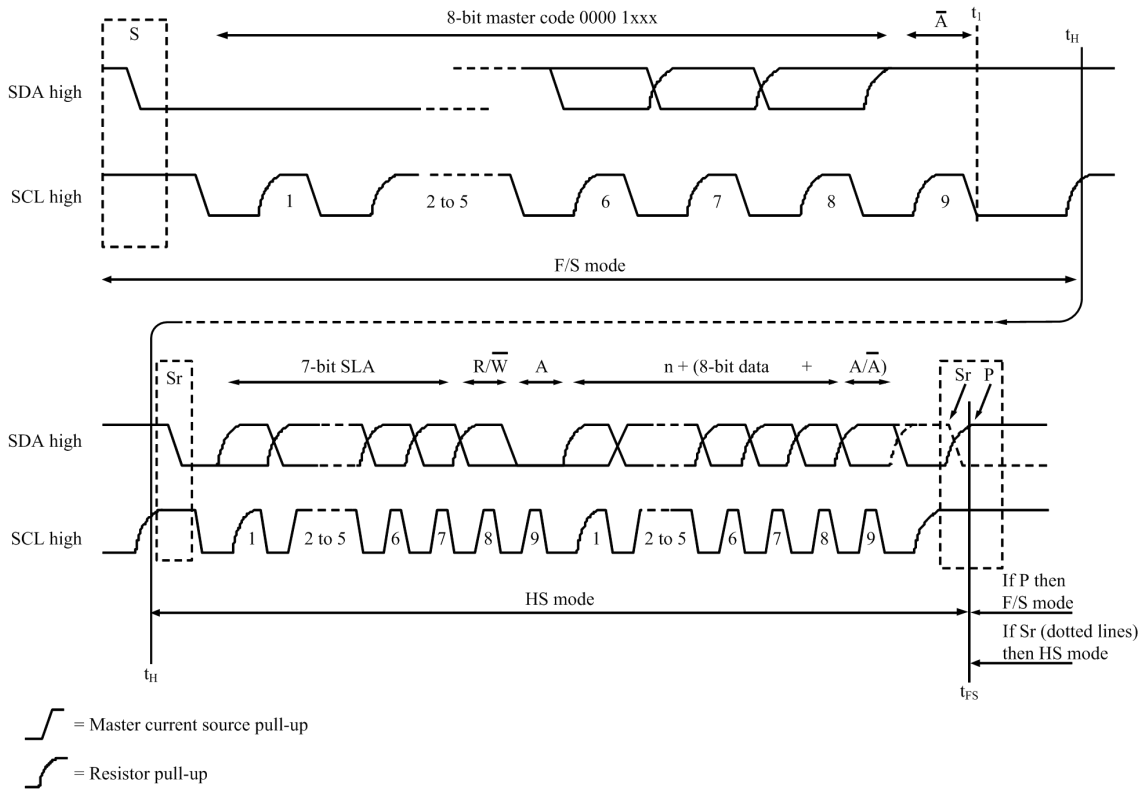


图 19. I²C 总线高速模式协议帧

1.3.4.11 F/S 模式和 HS 模式之间的切换

复位和初始化后，MS523 工作在快速模式（当快速模式向下兼容标准模式时，它实际上就是 F/S 模式）。连接的 MS523 识别到“S 00001XXX A”序列时，会将其内部电路从快速模式设置转换成高速模式设置。

执行以下操作：

1. 根据 Hs 模式的尖峰脉冲抑制要求来调整 SDA 和 SCL 的输入滤波器。

2. 调整 SDA 输出级的斜率控制。

对于通信中不含有其它 I²C 器件的系统配置，可以通过另一种方法永久地切换到 HS 模式。就是将 Status2Reg 寄存器的 I²CForceHS 位设置为 1。进入永久 Hs 模式后，这就无需再发送主机代码了。这个操作不符合总线规范，只能用在总线无其它器件连接的情况下。此外，由于减少了尖峰抑制，一定要避免 I²C 总线上的尖峰。

1.3.4.12 低速模式下的 MS523

MS523 完全向下兼容，可连接到 F/S 模式的 I²C 总线系统。由于此配置中不发送主机代码，因此器件处于 F/S 模式，以 F/S 模式的速率进行通信。

1.4 模拟接口和非接触式 UART

1.4.1 概述

非接触式 UART 支持总线上的外部主机按协议要求进行的帧形成和错误检查，速度可达 848kBd。通过外部电路连接到通信接口 TIN 和 TOUT，可调制和解调数据。

非接触式 UART 可处理为主机通信设定的协议。该协议本身可产生面向位和字节的帧。另外，它还能依据可支持的非接触式通信协议来进行诸如奇偶校验和 CRC 错误检测。

注：天线的尺寸，调谐和电源电压都会对操作距离产生非常重大的影响。

1.4.2 TX p 驱动器

管脚 TX1 和 TX2 发送的信号是经包络信号调制的 13.56MHz 的能量载波。它可用来直接驱动通过无源器件进行匹配和滤波的天线。TX1 和 TX2 上的信号可通过 TxControlReg 寄存器进行设置。

调制系数可通过调节驱动器的阻抗进行设置。可通过配置寄存器 CWGsPReg 和 ModGsPReg 的值来改变 p 驱动器的阻抗。配置寄存器 GsNReg 的值来改变 n 驱动器的阻抗。调制系数还取决于天线的设计和调谐。

寄存器 TxModeReg 和 TxSelReg 控制着发送的数据率和数据结构以及天线驱动器设置，以便支持不同模式和传输速率下的不同要求。

表 15. 控制管脚 TX1 上信号的寄存器设置

Tx1RFEn	Force100ASK	InvTx1RFOn	InvTx1RFOff	Envelope	TX1	GSPMos	GSNMos	备注
0	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	如果 RF 场关闭则不用设置
1	0	0	X[1]	0	RF	pMod	nMod	100%ASK；管脚 TX1 下拉至逻辑 0，与 InvTx1RFOff 位无关
				1	RF	pCW	nCW	
	0	1	X[1]	0	RF	pMod	nMod	
				1	RF	pCW	nCW	
	1	1	X[1]	0	0	pMod	nMod	
				1	RF_n	pCW	nCW	

[1] X=无关项

表 16. 控制管脚 TX2 上信号的寄存器设置

Tx1RFEn	Force100ASK	Tx2CW	InvTx1RFOn	InvTx1RFOff	Envelope	TX2	GSPMos	GSNMos	备注
0	X[1]		X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	如果 RF 场关闭则不用设置
1	0	0	0	X[1]	0	RF	pMod	nMod	
					1	RF	pCW	nCW	
			1	X[1]	0	RF_n	pMod	nMod	
					1	RF_n	pCW	nCW	
		1	0	X[1]	X[1]	RF	pCW	nCW	Tx2CW 总是 CW 的值
			1	X[1]	X[1]	RF_n	pCW	nCW	
	1	0	0	X[1]	0	0	pMod	nMod	100%ASK；管脚 TX2 下拉至逻辑 0，与 InvTx2RFOn/ InvTx2RFOff 位无关
					1	RF	pCW	nCW	
			1	X[1]	0	0	pMod	nMod	
					1	RF_n	pCW	nCW	
		1	0	X[1]	X[1]	RF	pCW	nCW	
			1	X[1]	X[1]	RF_n	pCW	nCW	

[1] X=无关项

表 15 和表 16 使用了下列缩写：

•RF：由 27.12MHz 的石英晶振经过 2 分频产生的 13.56MHz 的时钟信号.

•RF_n：反向的 13.56MHz 的时钟信号
•GSPMos：电导，PMOS 阵列的配置
•GSNMos：电导，NMOS 阵列的配置
•pCW：CWGsPReg 寄存器定义的用于连续波 CW 的 PMOS 电导值
•pMod：ModGsPReg 寄存器定义的用于调制信号的 PMOS 电导值
•nCW：GsNReg 寄存器的 CWGsN[3:0]位定义的用于 CW 的 NMOS 电导值
•nMod：GsNReg 寄存器的 ModGsN[3:0]位定义的用于调制信号的 NMOS 电导值
•X = 无关项

注：如果只有一个驱动器开启时，寄存器 CWGsPReg，ModGsPReg 和 GsNReg 的值同样适用于两个驱动器。

1.4.3 串行数据开关

MS523 集成两大模块。数字模块包括状态机，编码器/解码器逻辑电路。模拟模块包括调制器和天线驱动器，接收器和放大器。配置两大模块之间的接口从而使接口信号传送到管脚 TIN 和 TOUT。

这种拓扑结构允许 MS523 的模拟模块连接到其它设备的数字模块。

串行信号的开关由寄存器 TxSelReg 和 RxSelReg 控制。

图 20 显示了 TX1 和 TX2 的串行数据转换。

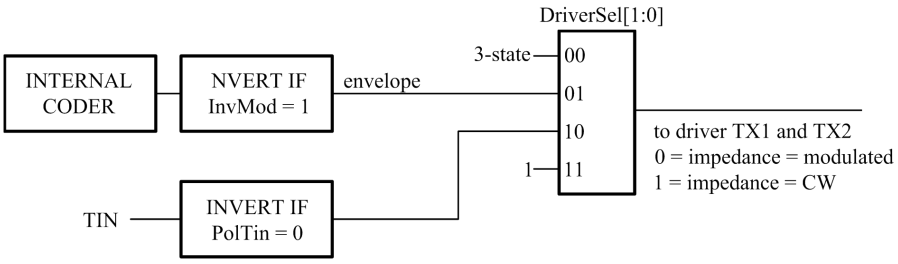


图 20. TX1 和 TX2 的串行数据转换

1.4.4 TIN 和 TOUT 接口支持

MS523 可分为数字模块和模拟模块。数字模块包括状态机，编码器/解码器等逻辑电路。模拟模块包括调制器和天线驱动器，接收器和放大器。配置两大模块之间的接口从而使接口信号传送到管脚 TIN 和 TOUT，见图 21。可通过设置 TxSelReg 寄存器中的 TOUTSel[3:0]和 DriverSel[1:0]位以及 RxSelReg 寄存器中的 UARTSel[1:0]位来实现。

这种拓扑结构允许 MS523 的模拟模块的部分电路连接到其它设备的数字模块。

寄存器 TxSelReg 的 TOUTSel 位可用来检测与 ISO/IEC14443 A 的相关信号。在设计或用于测试的阶段这是非常重要的，因为它能检查发送和接收的数据。

管脚 TIN 和 TOUT 最重要的应用是用在有源天线的概念里。MS523 的数字模块可以连接到外部有源天线电路。为此，必须设置 TOUTSel 位以便使内部 Miller 编码信号发送到 TOUT 管脚(TOUTSel=100b)。同时也必须设置 UARTSel[1:0]位以便从 TIN 管脚接收一个带副载波的 Manchester 信号(UARTSel[1:0]=01)。

管脚 TX1，TX2 和 RX（采用适当的滤波和匹配电路）连接到一个无源天线，同时管脚 TIN 和 TOUT 连接到一个有源天线。在这种电路中，两个 RF 电路都能被主机处理器发出的信号驱动起来（依序）。

注：管脚 TIN 和 TOUT 有专用的电源管脚 SVDD 和地管脚 PVSS。当管脚 TIN 未使用时它必须连

接到 SVDD 或 PVSS 管脚。当 SVDD 管脚未使用时它必须连接到 DVDD，PVDD 或其它任何电源管脚。

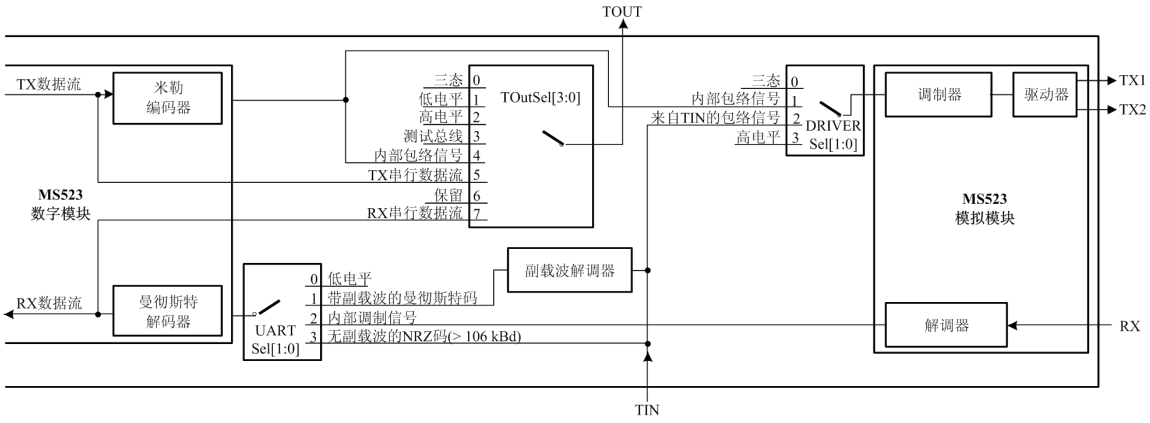


图 21. TIN 和 TOUT 的信号流向图

1.4.5 CRC 协处理器

CRC 协处理器的以下参数可以设置：

•CRC 的预置值包括 0000h，6363h，A671h 或 FFFFh ，这取决于 ModeReg 寄存器的 CRCPreset[1:0]位的设置。

•16 位的 CRC 多项式为 $X^{16}+X^{12}+X^{5}+1$。

•CRCResultReg 寄存器显示了 CRC 的计算结果。该寄存器被分割成两个 8 位的寄存器来表示高位和低位字节。

•ModeReg 寄存器的 MSBFirst 位表示被加载的数据是最高位先进的。

表 17. CRC 协处理器参数

参数	值
CRC 寄存器长度	16 位 CRC
CRC 算法	基于 ISO/IEC 14443 A 和 ITU-T 的算法
CRC 预置值	0000h，6363h，A671h 或 FFFFh，取决于 ModeReg 寄存器的 CRCPreset[1:0]位的设置

1.5 FIFO 缓冲区

MS523 包含一个 8×64 位的 FIFO 缓冲区。它用来缓存主机和 MS523 内部状态机之间通信的输入和输出数据流。这使得它可以处理多达 64 字节的数据流而无需考虑时序限制。

1.5.1 FIFO 的访问

FIFO 缓冲区的输入和输出数据总线与寄存器 FIFODataReg 相连。通过写 FIFODataReg 寄存器将一个字节的数据存入 FIFO 缓冲区，之后内部 FIFO 缓冲区写指针加 1。而读取的 FIFODataReg 寄存器的内容是读指针指向 FIFO 缓冲区所存储的数据，之后 FIFO 缓冲区读指针减 1。FIFO 缓冲区的读和写指针之间的距离通过读取 FIFOLevelReg 寄存器获得。

当微控器发送一个指令时，在指令执行过程中，MS523 可根据该命令访问 FIFO 缓冲区。只有当 FIFO 缓冲区有效时它才可继续用于输入和输出。微控器必须确保无任何对 FIFO 的无效访问。

1.5.2 FIFO 的控制

可通过设置 FIFOLevelReg 寄存器的 FlushBuffer 位为 1 来复位 FIFO 缓冲区指针。从而，FIFOLevel[6:0]位都为 0 且 ErrorReg 寄存器的 BufferOvfl 位被清零。此时，实际存储的字节不能再访问，而 FIFO 缓冲区可以用来存放下一个 64 字节的数据。

1.5.3 FIFO 的状态信息

主机可获取以下 FIFO 缓冲区的状态信息：

•FIFO 缓冲区存储的数据容量：FIFOLevelReg 寄存器的 FIFOLevel[6:0]位。

•FIFO 缓冲区快溢出时的警告：Status1Reg 寄存器的 HiAlert 位。

•FIFO 缓冲区快空时的警告：Status1Reg 寄存器的 LoAlert 位。

•FIFO 缓冲区溢出时的警告：ErrorReg 寄存器的 BufferOvfl 位。该位只能通过设置 FIFOLevelReg 寄存器的 FlushBuffer 位来清零。

当出现以下情况时，MS523 可以产生中断信号：

•ComIEnReg 寄存器 LoAlertIEn 位设置为 1，当 Status1Reg 寄存器的 LoAlert 位变为 1 时管脚 IRQ 激活。

•ComIEnReg 寄存器 HiAlertIEn 位设置为 1，当 Status1Reg 寄存器的 HiAlert 位变为 1 时管脚 IRQ 激活。

如果 WaterLevel 的值（在 WaterLevelReg 寄存器中设置)大于或等于 FIFO 缓冲区中剩余空间的值，则 HiAlert 位被置为 1。通过以下等式算出：

HiAlert = （64 - FIFOLength） ≤ WaterLevel

如果 WaterLevel 的值（在 WaterLevelReg 寄存器中设置)大于或等于 FIFO 缓冲区中已存储空间的值，则 LoAlert 位被置为 1。通过以下等式算出：

LoAlert = FIFOLength ≤ WaterLevel

1.6 中断请求系统

MS523 通过置位寄存器 Status1Reg 的 IRQ 位或激活 IRQ 管脚来指示中断。IRQ 管脚的信号可使主机使用其中断处理机制来处理。这使得软件执行效率大为提高。

1.6.1 中断源概述

表 18 列出了可使用的中断位，相应的中断源及中断产生的条件。ComIRQReg 寄存器的 TimerIRQ 中断位指出一个由定时器产生的中断，当定时器从 1 减到 0 时，此中断位被置位。

ComIRQReg 寄存器的 TxIRQ 位表明发送器发送完成。如果状态从发送数据变到发送结束帧，则发送器自动置位相应中断位。CRC 协处理器在处理完 FIFO 缓冲区里所有的数据后置位 DivIRQReg 寄存器的 CRCIRQ 位，通过 CRCReady 位置 1 来指示。

ComIRQReg 寄存器的 RxIRQ 位表明检测到接收数据的结束。如果执行完一个指令且 CommandReg 寄存器的 Command[3:0]位的内容变为空闲时，则 ComIRQReg 寄存器的 IdleIRQ 位被置位。

当 HiAlert 位置 1 且 CommIRQReg 寄存器的 HiAlertIRQ 位置位时，表明 FIFO 缓冲区已经达到 WaterLevel[5:0]位指示的长度。

当 LoAlert 位置 1 且 CommIRQReg 寄存器的 LoAlertIRQ 位置位时，表明 FIFO 缓冲区已经达到 WaterLevel[5:0]位指示的长度。

CommIRQReg 寄存器的 ErrIRQ 位表示非接触式 UART 在发送或接收过程中检测到一个错误。当 ErrorReg 寄存器中的任何一个位置 1 时都表明产生了错误。

表 18. 中断源

中断标志	中断源	触发动作
IRQ	定时器	定时器从 1 计到 0
TxIRQ	发送器	数据发送结束
CRCIRQ	CRC 协处理器	FIFO 缓冲区的数据处理完毕
RxIRQ	接收器	数据接收结束
IdleIRQ	ComIRQReg 寄存器	指令执行结束

HiAlertIRQ	FIFO 缓冲区	FIFO 缓冲区快溢出时
LoAlertIRQ	FIFO 缓冲区	FIFO 缓冲区快为空时
ErrIRQ	非接触式 UART	检测到一个错误

1.7 定时器单元

MS523 有一个定时器单元，外部主机可以使用它来处理定时任务。定时器可使用如下所示的任何一个定时/计数配置：

- 超时计数器
- 看门狗计数器
- 秒表
- 可编程一次触发
- 周期性触发器

定时器单元可用来测量两个事件之间的时间间隔或指示某段时间后指定事件的发生。它可由下文解释的事件来触发。定时器不会影响任何内部事件，例如，数据接收过程中的定时器超时并不会影响接收过程的自动处理。此外，一些与定时器相关的位可以用来产生中断。

定时器的时钟振荡频率为 13.56MHz，它是 27.12MHz 的石英晶体振荡器分频得到的。定时器包括两个阶段：预分频和计数。

预分频器（TPrescaler）是一个 12 位计数器。它的重装值（TReloadVal_Hi[7:0]和 TReloadVal_Lo[7:0]）在 0 到 4095 之间，由 TModeReg 寄存器的 TPrescaler_Hi[3:0]位和 TPrescalerReg 寄存器的 TPrescaler_Lo[7:0]来设置。

计时器中的 16 位重装值在寄存器 TReloadReg 中定义，取值范围为 0 到 65535。

定时器的当前值在寄存器 TCouterValReg 中显示。

当计数值达到 0 时，自动产生一个中断，通过置位 CommonIRQReg 寄存器的 TimerIRQ 位来指示。如果使能，IRQ 管脚就会出现此中断信号。TimerIRQ 位可由主机来置位和复位。根据配置，定时器可以在计数到 0 时停止运行，或将 TReloadReg 寄存器的值作为初始值重新启动计数。

定时器的状态由 Status1Reg 寄存器的 TRunning 位来指示。

定时器的启动和停止可分别由 ControlReg 寄存器的 TStartNow 和 TstopNow 位来控制。

定时器还可通过设置 TModeReg 寄存器的 TAuto 位为 1 来自动激活，以满足特定的协议要求。

定时过程中的延迟时间为重装值加 1。总的延迟时间由如下方程得出：

$$t_{d1} = \frac{(T\,\mathrm{Pr}escaler \times 2 + 1) \times (T\,\mathrm{Re}lodVal + 1)}{13.56MHz}$$

下式为计算总延迟时间的一个例子，其中 TPrescaler=4095，TReloadVal=65535：

$$39.59s = \frac{(4095 \times 2 + 1) \times (65535 + 1)}{13.56MHz}$$

例如：为了得到一个 25μs 的延迟，需要计数 339 个时钟周期，且 TPrescaler 的值为 169。该配置使计数器每 25μs 周期计数到 65535。

1.8 节电模式

1.8.1 硬掉电模式

当管脚 NRSTPD 为低电平时进入硬掉电模式。该模式下，关闭包括振荡器在内的所有内部电流。所有数字输入缓冲器和输入端分离，并关闭其功能(NRSTPD 管脚除外)，输出管脚也保持在高

电平或低电平。

1.8.2 软掉电模式

CommandReg 寄存器的 PowerDown 位设为 1 后立刻进入软掉电模式。关闭包括振荡器缓冲器在内的所有内部电流。但是数字输入缓冲器不和输入端分离，且功能保持不变。数字输出管脚的状态不变。

在软掉电期间，所有的寄存器的值，FIFO 的值和配置都保持不变。

在设置 PowerDown 位为 0 后，经过 1024 个时钟周期退出软掉电模式。PowerDown 位设置为 0 并不能立刻将其清除，而是 MS523 在退出软掉电模式后自动清零。

注：如果使用了内部振荡器，必须考虑它是由管脚 AVDD 提供的电源，必须经过一段时间（t_{osc}）后，振荡器才能稳定，且内部逻辑才能检测到时钟周期。在使用串行 UART 通信时，首先要给 MS523 发送 55h，振荡器必须保持稳定后才能再进一步访问寄存器。为了确保这一点儿，直到 MS523 回应上一个寄存器内容为地址 0 的读命令时才执行对地址 0 的读访问。这样来指示 MS523 可以执行进一步的操作。

1.8.3 发送器掉电模式

发送器掉电模式切断内部天线驱动器来关闭 RF 场，可以通过设置 TXControlReg 寄存器的 TX1RfEn 或 TX2RfEn 位为 0 来实现。

1.9 振荡器电路

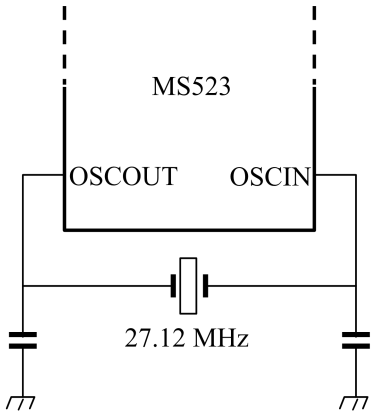


图 22. 石英晶体的连接

MS523 的时钟可用作同步系统的编码器和解码器的时钟基准。因此，时钟频率的稳定性是保证系统良好性能的重要因素。为了获得最佳性能，必须尽可能减少时钟抖动。最好采用一个带有推荐电路的内部振荡缓冲器。

如果采用外部时钟源，时钟信号连接至 OSCIN 管脚。在这种情况下，特别要注意验证时钟的占空比，时钟抖动以及时钟信号的质量。

1.10 复位和振荡器起振时间

1.10.1 复位时序要求

复位信号在进入数字电路之前必须经过一个迟滞电路和一个尖峰滤波器。尖峰滤波器过滤掉小于 10ns 的信号。为了实现复位，信号必须至少保持 100ns 的低电平。

1.10.2 振荡器起振时间

如果 MS523 被设置为低功耗模式或使用 V_{DDX} 供电时，MS523 的起振时间取决于所用的振荡器，如图 23 所示。

$t_{startup}$ 为晶振电路的起振时间，它由晶体本身决定。

t_d 为在 MS523 能够寻址前时钟信号维持稳定的内部延迟时间。

延迟时间由如下计算出：

$$t_d = \frac{1024}{27\mu s} = 37.74\mu s$$

t_{osc} 为 t_d 与 $t_{startup}$ 的和。

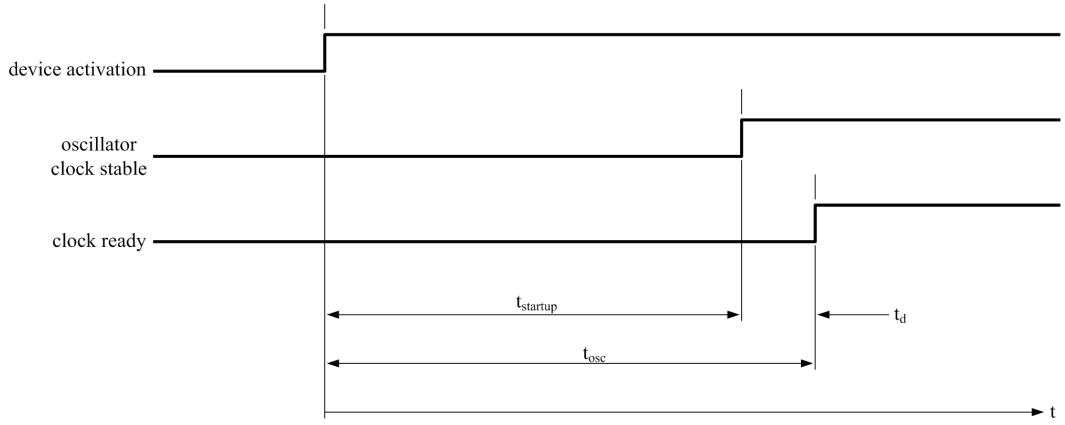


图 23. 振荡器起振时间

MS523 寄存器集

2.1 寄存器位的特性

根据寄存器功能的不同，寄存器的访问条件也多种多样。理论上，具有相同特性的位归为同组。表 19 描述了寄存器的访问条件。

表 19. 寄存器位的特性

缩写	特性	描述
R/W	读/写	微处理器可以对这些位进行读和写操作，由于它们仅用于控制，其内容不会受到内部状态机的影响。例如，微处理器可以对寄存器 ComIEnReg 进行读或写操作，但内部状态机对该寄存器只能读取而不能改变它们的值。
D	动态	微处理器可以对这些位进行读或写操作，不过内部状态机同样可以改变这些寄存器的值。例如，寄存器 CommandReg 在指令执行后自动改变其内部的某些值。
R	只读	这些寄存器的值只能由内部的状态决定。例如 CRCReady 位只能表示内部的状态，外部或内部状态机都不能改变它的值。
W	只写	这些寄存器的位读结果总是 0。
reserved	-	这些寄存器是被保留的以备将来之用，在写操作时最好将这些寄存器都写为 0。
RFT	-	这些寄存器是被保留的以备将来之用或是为了生产测试。

2.2 寄存器总览

表 20. MS523 寄存器总览

Address (HEX)	寄存器名	功能	参考
Page 0：指令和状态			
00h	Reserved	保留	表 21
01h	CommandReg	启动和停止指令	表 23
02h	ComlEnReg	使能和禁用中断请求控制位	表 25
03h	DivlEnReg	使能和禁用中断请求控制位	表 27
04h	ComIRQReg	中断请求位	表 29
05h	DivIRQReg	中断请求位	表 31
06h	ErrorReg	显示上一个指令执行的错误状态	表 33
07h	StatuslReg	通信状态位	表 35
08h	Status2Reg	接收器和发送器状态位	表 37
09h	FIFODataReg	64 字节 FIFO 缓冲区输入和输出	表 39
0Ah	FIFOLevelReg	FIFO 缓冲区已存储字节的数量	表 41
0Bh	WaterLevelReg	FIFO 缓冲区溢出和空警告	表 43
0Ch	ControlReg	各种控制寄存器	表 45
0Dh	BitFramingReg	面向位的帧的调节	表 47
0Eh	CollReg	检查产生位冲突的第一个位的地址	表 49

0Fh	Reserved	保留	表 51
Page 1：指令			
10h	Reserved	保留	表 53
11h	ModeReg	定义发送和接收通用模式的设置	表 55
12h	TxModeReg	定义发送过程的数据传输速率和结构	表 57
13h	RxModeReg	定义接收过程中的数据传输速率和结构	表 59
14h	TxControlReg	控制天线驱动器管脚 TX1 和 TX2 的逻辑特性	表 61
15h	TxASKReg	控制发送调整的设置	表 63
16h	TxSelReg	选择天线驱动器的内部信号源	表 65
17h	RxSelReg	选择内部接收器的设置	表 67
18h	RxThresholdReg	选择位解码器的阈值	表 69
19h	DemodReg	定义解调器的设置	表 71
1Ah	Reserved	保留	表 73
1Bh	Reserved	保留	表 75
1Ch	TxWaitReg	控制通信时发送的等待时间	表 77
1Dh	ParityReg	设置奇偶校验位	表 79
1Eh	Reserved	保留	表 81
1Fh	SerialSpeedReg	选择串行 UART 接口的速率	表 83
Page 2：配置			
20h	Reserved	保留	表 85
21h	CRCResultReg	显示 CRC 计算的 MSB 和 LSB 值	表 87
22h			表 89
23h	Reserved	保留	表 91
24h	ModWidthReg	控制调制宽度的设置	表 93
25h	Reserved	保留	表 95
26h	RFCfgReg	接收器增益的配置	表 97
27h	GsNReg	选择天线驱动器管脚 TX1 和 TX2 的调整电导	表 99
28h	CWGsPReg	定义 p-driver 无调制的输出电导	表 101
29h	ModGsPReg	定义 p-driver 经过调制的输出电导	表 103
2Ah	TModeReg	内部定时器的设置	表 105
2Bh	TPrescalerReg		表 107
2Ch	TReloadReg	定义 16 位定时器的重载值	表 109
2Dh			表 111
2Eh	TCounterValReg	显示 16 定时器的当前值	表 113
2Fh			表 115
Page 3：测试寄存器			
30h	Reserved	保留	表 117
31h	TestSel1Reg	通用测试信号的配置	表 119
32h	TestSel2Reg	通用测试信号的配置和 PRBS 控制	表 121
33h	TestPinEnReg	使能 D1-D7 的输出驱动器	表 123

34h	TestPinValueReg	定义管脚 D1-D7 用作 I/O 总线时的值	表 125
35h	TestBusReg	显示内部测试总线的状态	表 127
36h	AutoTestReg	控制数字自检	表 129
37h	VersionReg	显示软件版本	表 131
38h	AnalogTestReg	控制管脚 AUX1 和 AUX2	表 133
39h	TestDAC1Reg	定义 TestDAC1 的测试值	表 135
3Ah	TestDAC2Reg	定义 TestDAC2 的测试值	表 137
3Bh	TestADCReg	显示 ADC 中 I 和 Q 通道的值	表 139
3Ch-3Fh	Reserved	保留用于产品测试	表 141

2.3 寄存器描述

2.3.1 Page 0：指令和状态

2.3.1.1 保留寄存器 00h

保留为将来之用。

表 21.Reserved 寄存器（地址 00h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 22.Reserved 寄存器位的描述

位	符号	描述
7-0	-	保留

2.3.1.2 CommandReg 寄存器

启动和停止指令。

表 23.CommandReg 寄存器（地址 01h）；复位值：20h

位	7 6	5	4	3 2 1 0
符号	reserved	RcvOff	PowerDown	Command[3:0]
访问类型	-	R/W	D	D

表 24.CommandReg 寄存器位的描述

位	符号	值	描述
7-6	reserved	-	保留
5	RcvOff	1	关闭接收器的模拟部分。
4	PowerDown	1	进入软掉电模式。
		0	启动唤醒过程。在唤醒过程中，该位始终为 1。0 表示 MS523 准备好了。详见 1.6.2 节。 注：在指令 SoftReset 有效时，PowerDown 位不能被设置。
3-0	Command[3:0]	-	根据这些位的值激活相应的指令。通过读该寄存器来了解实际正在执行的指令。详见 3.3 节。

2.3.1.3 ComIEnReg 寄存器

使能和禁用中断请求控制位。

表 25.ComIEnReg 寄存器（地址 02h）；复位值：80h

位	7	6	5	4	3	2	1	0
符号	IRQInv	TxIEn	RxIEn	IdleIEn	HiAlertIEn	LoAlertIEn	ErrIEn	TimerIEn
访问类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.ComIEnReg 寄存器位的描述

位	符号	值	描述
7	IRQInv	1	IRQ 管脚的电平状态和 Status1Reg 寄存器的 IRQ 位的状态相反。
		0	IRQ 管脚的电平状态和 Status1Reg 寄存器的 IRQ 位的状态相同；和 DivIEnReg 寄存器的 IRQPushPull 位组合，缺省值为 1，可确保 IRQ 输出为三态输出。
6	TxIEn	-	允许发送中断请求(TxIRQ)至 IRQ 管脚。
5	RxIEn	-	允许发送中断请求(RxIRQ)至 IRQ 管脚。
4	IdleIEn	-	允许发送中断请求(IdleIRQ)至 IRQ 管脚。
3	HiAlertIEn	-	允许发送中断请求(HiAlertIRQ)至 IRQ 管脚。
2	LoAlertIEn	-	允许发送中断请求(LoAlertIRQ)至 IRQ 管脚。
1	ErrIEn	-	允许发送中断请求(ErrIRQ)至 IRQ 管脚。
0	TimerIEn	-	允许发送中断请求(TimerIRQ)至 IRQ 管脚。

2.3.1.4 DivIEnReg 寄存器

使能和禁用中断请求控制位。

表 27.DivIEnReg 寄存器（地址 03h）；复位值：00h

位	7	6 5	4	3	2	1 0
符号	IRQPushPull	reserved	TINActIEn	reserved	CRCIEn	reserved
访问类型	R/W	-	R/W	-	R/W	-

表 28.CommandReg 寄存器位的描述

位	符号	值	描述
7	IRQPushPull	1	IRQ 管脚输出为标准 CMOS 输出。
		0	IRQ 管脚输出为漏极开路输出。
6-5	reserved	-	保留
4	TINActIEn	-	允许发送 TIN 中断请求至 IRQ 管脚。
3	reserved	-	保留
2	CRCIEn	-	允许由 DivIRQReg 寄存器的 CRCIRQ 位表示的 CRC 中断请求发送至 IRQ 管脚。
1-0	reserved	-	保留

2.3.1.5 ComIRQReg 寄存器

中断请求位。

表 29.ComIRQReg 寄存器（地址 04h）；复位值：14h

位	7	6	5	4	3	2	1	0
符号	Set1	TxIRQ	RxIRQ	IdleIRQ	HiAlertIRQ	LoAlertIRQ	ErrIRQ	TimerIRQ
访问类型	W	D	D	D	D	D	D	D

表 30.ComIRQReg 寄存器位的描述

ComIRQReg 寄存器的所有位都可以由软件清零。

位	符号	值	描述
7	Set1	1	置位 ComIRQReg 寄存器中标记的位。
		0	清除 ComIRQReg 寄存器中标记的位。
6	TxIRQ	1	数据的最后一位发送完成后立即置位。
5	RxIRQ	1	接收器检测到有效数据的末位。 如果 RxModeReg 寄存器的 RxNoErr 位置位,则仅当 FIFO 中的接收的数据有效时 RxIRQ 位置 1。
4	IdleIRQ	1	当指令由其自身终止时置位，例如，当 CommandReg 从任何指令改变到空闲指令。(见表 149) 如果一个未知指令启动，则 CommandReg 寄存器的 Command[3:0]的值为空闲状态且 IdleIRQ 位置位。 微控器启动 Idle 指令并不会使 IdleIRQ 位置位。
3	HiAlertIRQ	1	Status1Reg 寄存器的 HiAlert 置位时该位置位。 和 HiAlert 位相反，HiAlertIRQ 位保存着此事件并只能由此寄存器的 Set1 位复位。
2	LoAlertIRQ	1	Status1Reg 寄存器的 LoAlert 置位时该位置位 和 LoAlert 位相反，LoAlertIRQ 位保存着此事件并只能由此寄存器的 Set1 位复位。
1	ErrIRQ	1	ErrorReg 寄存器的任何 error 位被置位时该位置位。
0	TimerIRQ	1	寄存器 TCounterValReg 中的定时值减至 0 时该位置位。

2.3.1.6 DivIRQReg 寄存器

中断请求位。

表 31.DivIRQReg 寄存器（地址 05h）；复位值：x0h

位	7	6 5	4	3	2	1 0
符号	Set2	reserved	TINActIRQ	reserved	CRCIRQ	reserved
访问类型	W	-	D	-	D	-

表 32.DivIRQReg 寄存器位的描述

DivIRQReg 寄存器的所有位都可以由软件清零。

位	符号	值	描述
7	Set2	1	置位 DivIRQReg 寄存器中标记的位。
		0	清除 DivIRQReg 寄存器中标记的位。
6-5	reserved	-	保留
4	TINActIRQ	1	TIN 有效 当检测到信号的上升沿或者下降沿时置位此中断位。
3	reserved	-	保留
2	CRCIRQ	1	CRC 指令有效且所有数据检查完毕。
1-0	reserved	0	保留

2.3.1.7 ErrorReg 寄存器

显示上一个指令执行的错误状态。

表 33.ErrorReg 寄存器（地址 06h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	WrErr	TempErr	reserved	Buffer Ovfl	CollErr	CRCErr	ParityErr	Protocol Err
访问类型	R	R	-	R	R	R	R	R

表 34.ErrorReg 寄存器位的描述

位	符号	值	描述
7	WrErr	1	置位 ComIRQReg 寄存器中标记的位。
6	TempErr[1]	1	内部温度传感器检测出超温时该位置位，在此情况下天线驱动器自动关闭。
5	reserved	-	保留
4	BufferOvfl	1	如果 FIFO 缓冲区已满，但主机或 MS523 的内部状态机(如接收器)还向里面写数据，该位置位。
3	CollErr	1	检查出一个位冲突时该位置位。 在接收器启动阶段自动清零。 只在 106kBd 通信速率的位防冲突机制有效。 在 212kBd，424kBd 和 848kBd 通信协议下通常设置为 0。
2	CRCErr	1	RxModeReg 寄存器的 RxCRCEn 位置位且 CRC 计算错误，则该位置位。 在接收器启动阶段自动清零。
1	ParityErr	1	奇偶校验错误时该位置位。 在接收器启动阶段自动清零。 只有在 106kBd 的 ISO/IEC 14443 A 通信中有效。
0	ProtocolErr	1	SOF 错误时该位置位。 在接收器启动阶段自动清零。 只有在 106kBd 的通信中有效。

[1] 执行相应的指令时除 TempErr 之外的所有错误位都将清零。该位不能通过软件置位。

2.3.1.8 Status1Reg 寄存器

通信状态位。

表 35.Status1Reg 寄存器（地址 07h）；复位值：21h

位	7	6	5	4	3	2	1	0
符号	reserved	CRCOk	CRCReady	IRQ	TRunning	reserved	HiAlert	LoAlert
访问类型	-	R	R	R	R	-	R	R

表 36.Status1Reg 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6	CRCOk	1	CRC 结果为 0 时该位置位。 发送和接收数据时，CRCOk 位的值不确定：使用 ErrorReg 寄存器的 CRCErr 位。 指示 CRC 协处理器的状态,在计算过程中其值变为 0；当计算正确执行后其值变为 1。

5	CRCReady	1	CRC 计算完成后该位置位。 只在执行 CalcCRC 指令的 CRC 计算中有效。
4	IRQ	-	显示任何中断源的请求还需注意中断使能位的设置:详见寄存器 ComIEnReg 和 DivIEnReg。
3	TRunning	1	MS523 的定时器运行时，该位置位。即定时器以寄存器 TCounterValReg 中的值随下个定时器时钟递减。 注意:在门控模式下,当寄存器 TModeReg 的 TGated[1:0]位使能定时器时，TRunning 位置位；该位不受门控信号的影响。
2	reserved	-	保留
1	HiAlert	1	当 FIFO 缓冲区中保存的字节数满足下面的等式时，该位置位。 HiAlert＝（64－FIFO Length）≤WaterLevel 例如： FIFO Length＝60，WaterLevel＝4→HiAlert＝1 FIFO Length＝59，WaterLevel＝4→HiAlert＝0
0	LoAlert	1	当 FIFO 缓冲区中保存的字节数满足下面的等式时，该位置位。 LoAlert＝FIFO Length≤WaterLevel 例如： FIFO Length＝4，WaterLevel＝4→LoAlert＝1 FIFO Length＝5，WaterLevel＝4→LoAlert＝0

2.3.1.9 Status2Reg 寄存器

接收器和发送器状态位。

表 37.Status2Reg 寄存器（地址 08h）；复位值：00h

位	7	6	5 4	3	2 1 0
符号	TempSensClear	I²CForceHS	reserved	Crypto1On	ModemState[2:0]
访问类型	R/W	R/W	-	D	R

表 38.Status2Reg 寄存器位的描述

位	符号	值	描述
7	TempSensClear	1	当温度低于 125℃极限报警值时该位置位且清除温度错误 。
6	I²CForceHS		I²C 输入滤波器设置：
		1	I²C 输入滤波器设置成与 I²C 协议无关的高速模式时该位置位。
		0	I²C 输入滤波器设置成使用的 I²C 协议时该位清零。
5-4	reserved	-	保留
3	Crypto1On	1	表示 Crypto1 单元打开 该位通过软件来清零。
2-0	ModemState[2:0]	-	显示发送器和接收器状态机的状态。
		000	空闲

		001	等待 BitFramingReg 寄存器中的 StartSend 位设置
		010	TxWait：如果 TModeReg 寄存器的 TxWaitRF 位置 1 时则一直等待到 RF 场产生为止。 TxWait 的最短时间由 TxWaitReg 寄存器确定。
		011	发送
		100	RxWait：如果 TModeReg 寄存器的 TxWaitRF 位置 1 时则一直等待到 RF 场产生为止。 RxWait 的最短时间由 RxWaitReg 寄存器确定。
		101	等待数据
		110	接收

2.3.1.10 FIFODataReg 寄存器

64 字节 FIFO 缓冲区输入和输出。

表 39.FIFODataReg 寄存器（地址 09h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	FIFOData[7:0]							
访问类型	D							

表 40.FIFODataReg 寄存器位的描述

位	符号	描述
7-0	FIFOData[7:0]	内部 64 字节的 FIFO 缓冲区的数据输入和输出端口。 FIFO 缓冲区用作所有输入和输出数据流的并行输入/并行输出转换器。

2.3.1.11 FIFOLevelReg 寄存器

显示 FIFO 缓冲区已存储字节的数量。

表 41.FIFOLevelReg 寄存器（地址 0Ah）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	FlushBuffer	FIFOLevel[6:0]						
访问类型	W	R						

表 42.FIFOLevelReg 寄存器位的描述

位	符号	值	描述
7	FlushBuffer	1	该位置位时，内部 FIFO 缓冲区的读和写指针以及寄存器 ErrReg 的 BufferOvfl 位立刻被清除。 读取该位时时返回值总为 0。
6-0	FIFOLevel[6:0]	-	指示 FIFO 缓冲区中保存的字节数。 向 FIFODataReg 寄存器写数据时，FIFOLevel 的值递增，从 FIFODataReg 寄存器读数据时，FIFOLevel 的值递减。

2.3.1.12 WaterLevelReg 寄存器

FIFO 缓冲区已存储字节的数量。

表 43.WaterLevelReg 寄存器（地址 0Bh）；复位值：08h

位	7	6	5	4	3	2	1	0
符号	reserved		WaterLevel[5:0]					
访问类型	-		R/W					

表 44.WaterLevelReg 寄存器位的描述

位	符号	值	描述
7-6	reserved	-	保留
5-0	WaterLevel[5:0]	-	定义一个 FIFO 缓冲区上溢和下溢报警深度: 如果 FIFO 缓冲器剩余的空间少于或等于 WaterLevel 中定义的值，则 Status1Reg 寄存器的 HiAlert 位置位。 如果 FIFO 缓冲器数据所用的空间少于或等于 WaterLevel 中定义的值，则 Status1Reg 寄存器的 LoAler 位置位。 注：通过计算可确定 HiAlert 和 LoAlert 中的值，详见 2.3.1.8 节。

2.3.1.13 ControlReg 寄存器

各种控制位。

表 45.ControlReg 寄存器（地址 0Ch）；复位值：10h

位	7	6	5	4	3	2	1	0
符号	TStopNow	TStartNow	reserved			RxLastBits[2:0]		
访问类型	W	W	-			R		

表 46.ControlReg 寄存器位的描述

位	符号	值	描述
7	TStopNow	1	定时器立即停止。 读取该位时返回值为 0。
6	TStartNow	1	定时器立即启动。 读取该位时返回值为 0。
5-3	reserved	-	保留
2-1	RxLastBits[2:0]	-	表示最后接收字节的有效位的个数。 如果该值 000b，则整个字节都是有效的。

2.3.1.14 BitFramingReg 寄存器

面向位的帧的调节。

表 47.BitFramingReg 寄存器（地址 0Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	StartSend	RxAlign[2:0]			reserved	TxLastBits[2:0]		
访问类型	W	R/W			-	R/W		

表 48.BitFramingReg 寄存器位的描述

位	符号	值	描述
7	StartSend	1	启动数据发送。 只在 Transceive 指令执行时有效。

6-4	RxAlign[2:0]	1	用于面向位的帧的接收：定义数据接收的第一个位在 FIFO 中存储的位置。 例如：
		0	接收到的 LSB 位存放在位 0，接收到的第 2 位存放在位 1。
		1	接收到的 LSB 位存放在位 1，接收到的第 2 位存放在位 2。
		7	接收到的 LSB 位存放在位 7，接收到的第 2 位存放在下个字节的位 0 的位置。
3	reserved	-	保留
2-1	TxLastBits[2:0]	-	用于面向位的帧的发送：定义发送的最后一个字节的位数。 000b 表示最后一个字节的所有位都被发送。

2.3.1.15 CollReg 寄存器

定义 RF 接口上检测到的第一个位冲突。

表 49.CollReg 寄存器（地址 0Eh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	ValuesAfterColl	reserved	CollPosNotValid	CollPos[4:0]				
访问类型	R/W	-	R	R				

表 50.CollReg 寄存器位的描述

位	符号	值	描述
7	ValuesAfterColl	0	所有接收的位在冲突后将被清除。 只有在 106kBd 防冲突过程中使用，其它情况下该位设置成 1。
6	reserved	-	保留
5	CollPosNotValid	1	没有检测到冲突或产生冲突的位在 CollPos[4:0]范围之外
4-0	CollPos[4:0]	-	显示接收到帧中检测到的第一个冲突的位的位置。 只对数据位说明 例如：
		00h	表示位冲突在 32nd 位
		01h	表示位冲突在 1st 位
		08h	表示位冲突在 8nd 位
			如果 CollPosNotValid 位为 0，那么这些位才能被识别。

2.3.1.16 保留寄存器 0Fh

保留为将来之用。

表 51.Reserved 寄存器（地址 0Fh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 52.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.2 Page 1：通信

2.3.2.1 保留寄存器 10h

保留为将来之用。

表 53.Reserved 寄存器（地址 10h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 54.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.2.2 ModeReg 寄存器

定义发送和接收通用模式的设置。

表 55.ModeReg 寄存器（地址 11h）；复位值：3Fh

位	7	6	5	4	3	2	1 0
符号	MSBFirst	reserved	TxWaitRF	reserved	PolTIN	reserved	CRCPreset [1:0]
访问类型	R/W	-	R/W	-	R/W	-	R/W

表 56.ModeReg 寄存器位的描述

位	符号	值	描述
7	MSBFirst	1	CRC 协处理器器从 MSB 位开始计算。 在 CRCResultReg 寄存器中 CRCResultMSB[7:0]和 CRCResultLSB[7:0]的值保留。 注：RF 通信时忽略此位。
6	reserved	-	保留
5	TxWaitRF	1	如果 RF 场产生，则发送器启动。
4	reserved	-	保留
3	PolTIN		定义 TIN 管脚的极性。 注：内部编码的包络信号低电平有效，改变该位将产生一个 TINActIRQ 事件。
		1	TIN 管脚高电平有效 。
		0	TIN 管脚低电平有效 。
2	reserved	-	保留
1-0	CRCPreset[1:0]		定义 CRC 协处理器执行 CalcCRC 指令的预置值。
		00	0000h
		01	6363h
		10	A671h
		11	FFFFh

2.3.2.3 TxModeReg 寄存器

定义发送过程的数据速率。

表 57. TxModeReg 寄存器（地址 12h）；复位值：00h

位	7	6 5 4	3	2	1 0
符号	TxCRCEn	TxSpeed[2:0]	InvMod	reserved	TxFraming[1:0]
访问类型	R/W	D	R/W	-	D

表 58. TxModeReg 寄存器位的描述

位	符号	值	描述
7	TxCRCEn	1	在数据发送过程中产生 CRC。
6-4	TxSpeed[2:0]		定义数据发送的位速率。 MS523 支持的传输速率可达 848kBd。
		000	106kBd
		001	212kBd
		010	424kBd
		011	848kBd
		100	保留
		101	保留
		110	保留
		111	保留
3	InvMod	1	发送调制数据的反相。
2	reserved	-	保留
1-0	TxFraming[1:0]		定义发送数据的结构
		00	ISO/IEC 14443 A
		01	保留
		10	保留
		11	ISO/IEC 14443 B

2.3.2.4 RxModeReg 寄存器

定义发送过程的数据速率。

表 59. RxModeReg 寄存器（地址 13h）；复位值：00h

位	7	6 5 4	3	2	1 0
符号	RxCRCEn	RxSpeed[2:0]	RxNoErr	RxMultiple	RxFraming
访问类型	R/W	D	R/W	R/W	D

表 60. RxModeReg 寄存器位的描述

位	符号	值	描述
7	RxCRCEn	1	在数据接收过程中产生 CRC。 注：该位只能在 106kBd 的速率时设置为零。
6-4	RxSpeed[2:0]		定义数据接收的位速率。 MS523 支持的传输速率可达 848kBd。
		000	106kBd
		001	212kBd
		010	424kBd
		011	848kBd
		100	保留

		101	保留
		110	保留
		111	保留
3	RxNoErr	1	忽略接收到的一个无效数据流（接收到的数据小于 4 位）且接收器仍然保持有效。
2	RxMultiple	0	接收器在接收到一帧数据后停止接收。
		1	可以连续接收多帧数据。 只有在通信速率为 106kBd 以上时有效，才能处理 polling 指令。 在设置该位后 Receive 和 Transceive 指令的运行将不会自动终止。可通过向寄存器 CommandReg 中写入任何指令(Receive 指令除外)或由主机清零该位来停止连续的接收 。
1-0	RxFraming		定义预期接收数据的结构
		00	ISO/IEC 14443 A
		01	保留
		10	保留
		11	ISO/IEC 14443 B

2.3.2.5 TxControlReg 寄存器

控制天线驱动器管脚 TX1 和 TX2 的逻辑状态。

表 61.TxControlReg 寄存器（地址 14h）；复位值：80h

位	7	6	5	4	3	2	1	0
符号	InvTx2RFOn	InvTx1RFOn	InvTx2RFOff	InvTx1RFOff	Tx2CW	reserved	Tx2RFEn	Tx1RFEn
访问类型	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W

表 62.TxControlReg 寄存器位的描述

位	符号	值	描述
7	InvTx2RFOn	1	当驱动器 TX2 使能时 TX2 上的输出信号反相。
6	InvTx1RFOn	1	当驱动器 TX1 使能时 TX1 上的输出信号反相。
5	InvTx2RFOff	1	当驱动器 TX2 禁用时 TX2 上的输出信号反相。
4	InvTx1RFOff	1	当驱动器 TX1 禁用时 TX1 上的输出信号反相。
3	Tx2CW	1	TX2 管脚持续输出未调制的 13.56MHz 能量载波。
		0	Tx2CW 使能调制 13.56MHz 的能量载波信号。
2	reserved	-	保留
1	Tx2RFEn	1	TX2 管脚持续输出经发送数据调制的 13.56MHz 能量载波。
0	Tx1RFEn	1	TX1 管脚持续输出经发送数据调制的 13.56MHz 能量载波。

2.3.2.6 TxASKReg 寄存器

控制发送调制的设置。

表 63.TxASKReg 寄存器（地址 15h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved	Force100ASK	reserved					
访问类型	-	R/W	-					

表 64.TxASKReg 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6	Force100ASK	1	强制进行 100%ASK 的调制，它独立于 ModGsPReg 寄存器的设置。
5-0	reserved	-	保留

2.3.2.7 TxSelReg 寄存器

选择模拟模块的内部信号源。

表 65.TxSelReg 寄存器（地址 16h）；复位值：10h

位	7	6	5	4	3	2	1	0
符号	reserved		DriverSel[1:0]		TOUTSel[3:0]			
访问类型	-		R/W		R/W			

表 66.TxSelReg 寄存器位的描述

位	符号	值	描述
7-6	reserved	-	保留
5-4	DriverSel[1:0]	-	选择驱动器 Tx1 和 Tx2 的输入。
		00	三态；如果 DriverSel[1:0]设置成三态模式，则在软掉电中驱动器只能处于三态模式。
		01	来自内部编码器的调制信号（包络），Miller 编码。
		10	来自管脚 TIN 的调制信号（包络）
		11	高电平；高电平取决于 InvTx1RFOn/InvTx1RFOff 和 InvTx2RFOn/InvTx2RFOff 位的设置。
3-0	TOUTSel[3:0]		选择管脚 TOUT 的输入。
		0000	三态
		0001	低电平
		0010	高电平
		0011	由 TestSel1Reg 寄存器中 TstBusBitSel[2:0]位的值定义的测试总线信号。
		0100	来自内部编码器的调制信号（包络），Miller 编码 。
		0101	Miller 编码前的发送串行数据流。
		0110	保留
		0111	Manchester 解码后的接收串行数据流。
		1000-1111	保留

2.3.2.8 RxSelReg 寄存器

选择模拟模块的内部信号源。

表 67.RxSelReg 寄存器（地址 17h）；复位值：84h

位	7	6	5	4	3	2	1	0
符号	UARTSel[1:0]		RxWait[5:0]					
访问类型	R/W		R/W					

表 68.RxSelReg 寄存器位的描述

位	符号	值	描述
7-6	UARTSel[1:0]		选择非接触式 UART 的输入
		00	低电平
		01	来自管脚 TIN 带副载波的 Manchester 编码信号。
		10	来自内部模拟电路的调制信号，默认值。
		11	来自管脚 TIN 无副载波的 NRZ 编码信号，只有在传输速率大于 106kBd 时有效。
5-0	RxWait[5:0]	-	数据发送后，接收器在启动前有一段 RxWait 的位时间延迟，在这段‘帧保护时间’内，RX 管脚上的所有信号都被忽略。 Receive 指令可忽略此参数。 其它所有指令，都使用该参数。 在外部 RF 场打开后定时器立即启动。

2.3.2.9 RxThresholdReg 寄存器

选择位解码器的阈值。

表 69.RxThresholdReg 寄存器（地址 18h）；复位值：84h

位	7	6	5	4	3	2	1	0
符号	MinLevel[3:0]				reserved	CollLevel[2:0]		
访问类型	R/W				-	R/W		

表 70.RxThresholdReg 寄存器位的描述

位	符号	描述
7-4	MinLevel[3:0]	定义解码器输入的最小信号的强度。 如果信号强度小于该值则不进行处理。
3	reserved	保留
2-0	CollLevel[2:0]	定义解码器输入的最小信号强度，曼彻斯特编码信号的弱半位必须达到这个强度，来产生与较强半位的幅度相关的一个位冲突。

2.3.2.10 DemodReg 寄存器

定义解调器的设置。

表 71.DemodReg 寄存器（地址 19h）；复位值：4Dh

位	7	6	5	4	3	2	1	0
符号	AddIQ[1:0]		FixIQ	TPrescalEven	TauRcv[1:0]		TauSync[1:0]	
访问类型	R/W		R/W	R/W	R/W		R/W	

表 72.DemodReg 寄存器位的描述

位	符号	值	描述
7-6	AddIQ[1:0]	-	定义接收过程中 I 和 Q 通道的使用。 注：要使能如下的设置，FixIQ 位必须为 0：
		00	选择较强的信号通道。

		01	选择较强的信号通道并在通信期间固定所选择的通道。
		10	保留
		11	保留
5	FixIQ	1	如果 AddIQ[1:0]设置为 x0b，则接收器选择 I 通道。 如果 AddIQ[1:0]设置为 x0b，则接收器选择 Q 通道。
4	TPrescalEven	R/W	下面的公式用来计算预分频器的定时器的频率： f_{timer}=13.56MHz/(2*TPreScaler+1)。 TPrescalEven 位的默认值为 0，更多预分频器的信息见 1.5 节。
3-2	TauRcv[1:0]	-	在数据接收过程中改变内部 PLL 的时间常数。 注：如果设置为 00b，在数据接收时 PLL 被锁定。
1-0	TauSync[1:0]	-	在突发过程中改变内部 PLL 的时间常数。

2.3.2.11 保留寄存器 1Ah

保留为将来之用。

表 73.Reserved 寄存器（地址 1Ah）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 74.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.2.12 保留寄存器 1Bh

保留为将来之用。

表 75.Reserved 寄存器（地址 1Bh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 76.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.2.13 TxWaitReg 寄存器

控制发送时的等待时间。

表 77.TxWaitReg 寄存器（地址 1Ch）；复位值：62h

位	7	6	5	4	3	2	1	0
符号	reserved						TxWait[1:0]	
访问类型	-						R/W	

表 78.TxWaitReg 寄存器位的描述

位	符号	描述
7-2	reserved	保留
1-0	TxWait[1:0]	定义附加的响应时间。 7 位添加到默认的寄存器位的值。

2.3.2.14 ParityReg 寄存器

设置奇偶校验位。

表 79.ParityReg 寄存器（地址 1Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved			ParityDisable	reserved			
访问类型	-			R/W	-			

表 80.ParityReg 寄存器位的描述

位	符号	值	描述
7-5	reserved	-	保留
4	ParityDisable	1	数据传输时禁止生成奇偶位且在数据接收时也禁止奇偶校验。 接收到的奇偶位作为数据位来处理。
3-0	Reserved	-	保留

2.3.2.15 TypeBReg 寄存器

配置 ISO/IEC 14443 B 的功能。

表 81.TypeBReg 寄存器（地址 1Eh）；复位值：00h

位	7	6	5	4	3	2	1 0
符号	RxSOFReq	RxEOFReq	reserved	EOFSOF Width	NoTxSOF	NoTxEOF	TxEGT[1:0]
访问类型	R/W	R/W	-	R/W	R/W	R/W	R/W

表 82.Reserved 寄存器位的描述

位	符号	值	描述
7	RxSOFReq	1	需要 SOF；忽视无 SOF 的数据流
		0	接收有或无 SOF 的数据流；去掉 SOF 且不写入 FIFO
6	RxEOFReq	1	需要 EOF；无 EOF 的数据流产生一个协议错误
		0	接收有或无 EOF 的数据流；去掉 EOF 且不写入 FIFO
5	reserved		保留
4	EOFSOFWidth	1	如该位置 1 且 EOFSOFAdjust 位置 0（AutoTestReg 寄存器），定义 IOS/IEC 14443 B 中的 SOF 和 EOF 最大长度
		0	如该位置 0 且 EOFSOFAdjust 位置 0，定义 IOS/IEC 14443 B 中的 SOF 和 EOF 最小长度
3	NoTxSOF	1	抑制 SOF
2	NoTxEOF	1	抑制 EOF
1-0	TxEGT		定义 EGT 的长度
		00	无
		01	2 位
		10	4 位
		11	6 位

2.3.2.16 SerialSpeedReg 寄存器

选择串行 UART 接口的速率。

表 83.SerialSpeedReg 寄存器（地址 1Fh）；复位值：EBh

位	7	6	5	4	3	2	1	0
符号	BR_T0[2:0]			BR_T1[4:0]				
访问类型	R/W			R/W				

表 84.SerialSpeedReg 寄存器位的描述

位	符号	描述
7-2	BR_T0[2:0]	BR_T0 用来调整传输速率，相关描述详见 1.1.3.2 节。
1-0	BR_T1[4:0]	BR_T1 用来调整传输速率，相关描述详见 1.1.3.2 节。

2.3.3 Page 2：配置

2.3.3.1 保留寄存器 20h

保留为将来之用。

表 85.Reserved 寄存器（地址 20h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 86.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.3.2 CRCResultReg 寄存器

显示 CRC 计算后的 MSB 和 LSB 的值。

注：CRC 被分割成两个 8 位的寄存器。

表 87.CRCResultReg（高位）寄存器（地址 21h）；复位值：FFh

位	7	6	5	4	3	2	1	0
符号	CRCResultMSB[7:0]							
访问类型	R							

表 88.CRCResultReg 寄存器位的描述

位	符号	描述
7-0	CRCResultMSB [7:0]	显示寄存器 CRCResultReg 高字节的实际值。 只有当 Status1Reg 寄存器的 CRCReady 位置位时有效。

表 89.CRCResultReg（低位）寄存器（地址 22h）；复位值：FFh

位	7	6	5	4	3	2	1	0
符号	CRCResultLSB[7:0]							
访问类型	R							

表 90.CRCResultReg 寄存器位的描述

位	符号	描述
7-0	CRCResultLSB [7:0]	显示寄存器 CRCResultReg 高字节的实际值。 只有当 Status1Reg 寄存器的 CRCReady 位置位时有效。

2.3.3.3 保留寄存器 23h

保留为将来之用。

表 91.Reserved 寄存器（地址 23h）；复位值：88h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 92.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.3.4 ModWidthReg 寄存器

设置调制宽度。

表 93.ModWidthReg 寄存器（地址 24h）；复位值：26h

位	7	6	5	4	3	2	1	0
符号	ModWidth[7:0]							
访问类型	R/W							

表 94.ModWidthReg 寄存器位的描述

位	符号	描述
7-0	ModWidth[7:0]	定义米勒调制的宽度为载波频率的(ModWidth+1）倍。 最大值为半个位周期。

2.3.3.5 保留寄存器 25h

保留为将来之用。

表 95.Reserved 寄存器（地址 25h）；复位值：87h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 96.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.3.6 RFCfgReg 寄存器

配置接收器增益。

表 97.RFCfgReg 寄存器（地址 26h）；复位值：48h

位	7	6	5	4	3	2	1	0
符号	reserved	RxGain[2:0]			reserved			
访问类型	-	R/W			-			

表 98.RFCfgReg 寄存器位的描述

位	符号	值	描述
7	reserved	-	保留
6-4	RxGain[2:0]		定义接收器信号电压增益系数：
		000	18dB
		001	23dB
		010	18dB
		011	23dB

		100	33dB
		101	38dB
		110	43dB
		111	48dB
3-0	reserved	-	保留

2.3.3.7 GsNReg 寄存器

当驱动器开启时，定义天线驱动器 TX1 和 TX2 为 N 驱动器时的电导。

表 99.GsNReg 寄存器（地址 27h）；复位值：88h

位	7	6	5	4	3	2	1	0
符号	CWGsN[3:0]				ModGsN[3:0]			
访问类型	R/W				R/W			

表 100.GsNReg 寄存器位的描述

位	符号	描述
7-4	CWGsN[3:0]	定义 N 驱动器输出端非调制期间的电导，可用来调整输出功率，电流消耗和操作距离。 注：电导值用二进制数来计量。 在软掉电模式下最高位强制为 1。 只有在驱动器 TX1 和 TX2 开启时此值才有效。
3-0	ModGsN[3:0]	定义 N 驱动器输出端调制期间的电导，可用来调整调制系数。 注：电导值用二进制数来计量。 在软掉电模式下最高位强制为 1。 只有在驱动器 TX1 和 TX2 开启时此值才有效。

2.3.3.8 CWGsPReg 寄存器

定义 P 驱动器输出端非调制时的电导。

表 101.CWGsPReg 寄存器（地址 28h）；复位值：20h

位	7	6	5	4	3	2	1	0
符号	reserved		CWGsP[5:0]					
访问类型	-		R/W					

表 102.CWGsPReg 寄存器位的描述

位	符号	描述
7-6	Reserved	保留
5-0	CWGsP[5:0]	定义 P 驱动器输出端的电导，可用来调整调制指数。 注：电导值用二进制数来计量。 在软掉电模式下最高位强制为 1。

2.3.3.9 ModGsPReg 寄存器

定义 P 驱动器输出端调制时的电导。

表 103.ModGsPReg 寄存器（地址 29h）；复位值：20h

位	7	6	5	4	3	2	1	0
符号	reserved		ModGsP[5:0]					
访问类型	-		R/W					

表 104.ModGsPReg 寄存器位的描述

位	符号	描述
7-6	Reserved	保留
5-0	ModGsP[5:0]	定义 P 驱动器输出端在调制时的电导，可用来调整输出功率，电流消耗以及操作距离。 注：电导值用二进制数来计量。 在软掉电模式下最高位强制为 1。 即使 TxASKReg 寄存器的 Force100ASK 位置为 1 也不会对 ModGsP 的值产生影响。

2.3.3.10 TModeReg 和 TPrescalerReg 寄存器

这些寄存器定义定时器的设置。

注：TmodeReg 寄存器中的 Tprescaler 设置预分频器高 4 位的值，TprescalerReg 寄存器设置预分频器低 8 位的值。

表 105.TModeReg 寄存器（地址 2Ah）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TAuto	TGated[1:0]		TAutoRestart	TPrescaler_Hi[3:0]			
访问类型	R/W	R/W		R/W	R/W			

表 106.TModeReg 寄存器位的描述

位	符号	值	描述
7	TAuto	1	在所有通信速率的数据传输结束后定时器自动启动。 如果 RxModeReg 寄存器的 RxMultiple 位没有置位，则在接收到第 5 位数据(1 个起始位，4 个数据位)后定时器立即停止运行。 如果 RxMultiple 位置位，则定时器将不会停止，在这种情况下只能通过设置 ControlReg 寄存器 TStopNow 位为 1 来停止定时器。
		0	定时器不受此寄存器的影响。
6-5	TGated[1:0]		内部定时器工作在门控模式。 注：在门控模式下，当定时器被寄存器 TmodeReg 的 TGated[1:0]位使能时，Status1Reg 寄存器中的 TRunning 位被置位 。 该位不会影响门控信号。
		00	非门控模式
		01	管脚 TIN 用作门控信号
		10	管脚 AUX1 用作门控信号
		11	-
4	TAutoRestart	1	定时器自动重新从 16 位定时器重新加载的值开始递减计数。
		0	定时器递减计数到 0 且 ComIRQReg 寄存器的 TimerIRQ 位置 1。

3-0	TPrescaler_Hi [3:0]	-	定义 TPrescaler 的高 4 位。 利用下面的公式计算定时器频率： f_{timer}=13.56MHz/(2*TPreScaler+1)。 其 中 TPreScaler=[TPrescaler_Hi:TPrescaler_Lo]（TPreScaler 的值为 12 位）（TPrescalEven 位默认值为 0） 详见 1.5 节“定时器单元”。

表 107.TPrescalerReg 寄存器（地址 2Bh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TPrescaler_Lo[7:0]							
访问类型	R/W							

表 108.TPrescalerReg 寄存器位的描述

位	符号	描述
7-0	TPrescaler_Lo [7:0]	定义 TPrescaler 的低 8 位。 利用下面的公式计算定时器频率： f_{timer}=13.56MHz/(2*TPreScaler+1)。 其中 TPreScaler=[TPrescaler_Hi:TPrescaler_Lo]（TPreScaler 的值为 12 位）（TPrescalEven 位默认值为 0） 详见 1.5 节的“定时器单元”。

2.3.3.11 TReloadReg 寄存器

定义定时器的 16 位重装值。

注：重装值分别放在两个 8 位的寄存器里。

表 109.TReloadReg（高位）寄存器（地址 2Ch）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TReloadVal_Hi[7:0]							
访问类型	R/W							

表 110.TReloadReg 寄存器位的描述

位	符号	描述
7-0	TReloadVal_Hi [7:0]	定义定时器 16 位重装值的高 8 位。 当一个启动事件发生时，重装值装入定时器。 改变该寄存器只在下次启动事件发生时采影响定时器。

表 111.TReloadReg（低位）寄存器（地址 2Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TReloadVal_Lo[7:0]							
访问类型	R/W							

表 112.TReloadReg 寄存器位的描述

位	符号	描述
7-0	TReloadVal_Lo [7:0]	定义定时器 16 位重装值的低 8 位。 当一个启动事件发生时，重装值装入定时器。 改变该寄存器只在下次启动事件发生时采影响定时器。

2.3.3.12 TCounterValReg 寄存器

定时器的当前值。

注：定时器的当前值分别放在两个 8 位的寄存器里。

表 113.TCounterValReg（高位）寄存器（地址 2Eh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	TCounterVal_Hi[7:0]							
访问类型	R							

表 114.TCounterValReg 寄存器位的描述

位	符号	描述
7-0	TCounterVal_Hi[7:0]	定时器当前值的高 8 位。

表 115.TCounterValReg（低位）寄存器（地址 2Fh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	TCounterVal_Lo[7:0]							
访问类型	R							

表 116.TCounterValReg 寄存器位的描述

位	符号	描述
7-0	TCounterVal_Lo[7:0]	定时器当前值的低 8 位。

2.3.4 Page 3：测试

2.3.4.1 保留寄存器 30h

保留为将来之用。

表 117.Reserved 寄存器（地址 30h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 118.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留

2.3.4.2 TestSel1Reg 寄存器

通用测试信号的配置。

表 119.TestSel1Reg 寄存器（地址 31h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved					TstBusBitSel[2:0]		
访问类型	-					R/W		

表 120.TestSel1Reg 寄存器位的描述

位	符号	描述
7-3	reserved	保留

2-0	TstBusBitSel [2:0]	管脚 TOUT 上选择一个测试总线的信号。 如果 AnalogTestReg 寄存器的 AnalogSelAux2[3:0]=FFh，则测试总线信号同样可在管脚 AUX1 或 AUX2 上输出。

2.3.4.3 TestSel2Reg 寄存器

通用测试信号的配置。

表 121.TestSel2Reg 寄存器（地址 32h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TstBusFlip	PRBS9	PRBS15	TestBusSel[4:0]				
访问类型	R/W	R/W	R/W	R/W				

表 122.TestSel2Reg 寄存器位的描述

位	符号	值	描述
7	TstBusFlip	1	测试总线按照下面的顺序映射到并行端口: TstBusBit4， TstBusBit3， TstBusBit2， TstBusBit6，TstBusBit5，TstBusBit0；详见 5.1 节。
6	PRBS9	-	根据 ITU-T0150 来启动和使能 PRBS9 序列。 注：在进入 PRBS9 模式前必须配置好所有与发送数据相关的寄存器。 定义序列的数据发送通过 Transmit 指令启动。
5	PRBS15	-	根据 ITU-T0150 来启动和使能 PRBS15 序列。 注：在进入 PRBS15 模式前必须配置好所有与发送数据相关的寄存器。 定义序列的数据发送通过 Transmit 指令启动。
4-0	TestBusSel[4:0]	-	选择测试总线；详见 5.1 节的“测试信号”。

2.3.4.4 TestPinEnReg 寄存器

使能测试总线管脚的输出驱动器。

表 123.TestPinEnReg 寄存器（地址 33h）；复位值：80h

位	7	6	5	4	3	2	1	0
符号	RS232LineEn	TestPinEn[5:0]						reserved
访问类型	R/W	R/W						-

表 124.TestPinEnReg 寄存器位的描述

位	符号	值	描述
7	RS232LineEn	0	禁止串行 UART 中 MX 和 DTRQ。
6-1	TestPinEn[5:0]	-	使能输出驱动器使管脚 D1-D7 中的其中一个管脚输出一个测试信号。 例如： 置位位 1 使能 D1 管脚输出。 置位位 5 使能 D5 管脚输出。 注：如果使用 SPI 接口，则只有管脚 D1-D4 可以使用。如果使用串行 UART 接口且 RS232LineEn 位置为 1，则只有管脚 D1-D4 可以使用。

0	reserved	-	保留

2.3.4.5 TestPinValueReg 寄存器

定义测试端口 D1-D7 用作 I/O 口时的值。

表 125.TestPinValueReg 寄存器（地址 34h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	UseIO	TestPinValue[5:0]						reserved
访问类型	R/W	R/W						-

表 126.TestPinValueReg 寄存器位的描述

位	符号	值	描述
7	UseIO	1	当使用其中一个串行接口时使能测试端口的 I/O 功能。 输入/输出特性由 TestPinEnReg 寄存器的 TestPinEn[5:0]的值定义。 输出值由 TestPinValue[5:0]定义。
6-1	TestPinValue [5:0]	-	当测试端口作为 I/O 口使用时，定义它的值且每个输出端口必须通过 TestPinEnReg 寄存器的 TestPinEn[5:0]使能。 注：如果 UseIO 置为 1，则读取该寄存器的值就是管脚 D6-D1 的值。如果 UseIO 置为 0，则读回 TestPinValueReg 寄存器的值。
0	reserved	-	保留

2.3.4.6 TestBusReg 寄存器

显示内部测试总线的状态。

表 127.TestBusReg 寄存器（地址 35h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	TestBus[7:0]							
访问类型	R							

表 128.TestBusReg 寄存器位的描述

位	符号	描述
7-0	TestBus[7:0]	显示内部测试总线的状态。 使用 TestSel2Reg 寄存器选择测试总线；详见 5.1 节。

2.3.4.7 AutoTestReg 寄存器

控制数字自检。

表 129.AutoTestReg 寄存器（地址 36h）；复位值：40h

位	7	6	5	4	3	2	1	0
符号	reserved	AmpRcv	reserved	EOFSOF Adjust	SelfTest[3:0]			
访问类型	-	R/W	-	R/W	R/W			

表 130.AutoTestReg 寄存器位的描述

位	符号	值	描述
7	Reserved	-	保留用于生产测试。

6	AmpRcv	1	非线性接收器链中的内部信号的有效处理可以增加以 106kBd 速率通信时的操作距离。 注：由于是非线性的，所以 RxThresholdReg 寄存器的 MinLevel[3:0]和 CollLevel[2:0] 的值也是非线性的。
5	Reserved	-	保留用于生产测试。
4	EOFSOFAdjust	0	如果该位置为 0 且 EOFSOFwidth 置为 1，则依据 ISO/IEC 14443 B 协议 EOF 和 SOF 设置为最大宽度。 如果该位置为 0 且 EOFSOFwidth 置为 0，则依据 ISO/IEC 14443 B 协议 EOF 和 SOF 设置为最小宽度。
		1	无
3-0	SelfTest[3:0]		使能数字自检。 自检也可以由 CalcCRC 指令启动；详见 3.3.1.4 节。 1001b 使能自检。 注：默认操作时自检必须通过写入值 0000b 来禁止。

2.3.4.8 VersionReg 寄存器

显示 MS523 版本。

表 131.VersionReg 寄存器（地址 37h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	Version[7:0]							
访问类型	R							

表 132.VersionReg 寄存器位的描述

位	符号	描述
7-0	Version	显示值‘B1h’

2.3.4.9 AnalogTestReg 寄存器

确定管脚 AUX1 和 AUX2.输出的模拟测试信号及状态。

表 133.AnalogTestReg 寄存器（地址 38h）；复位值：00h

位	7 6 5 4	3 2 1 0
符号	AnalogSelAux1[3:0]	AnalogSelAux2[3:0]
访问类型	R/W	R/W

表 134.AnalogTestReg 寄存器位的描述

位	符号	值	描述
7-4	AnalogSelAux1 [3:0]		控制管脚 AUX1
		0000	三态
		0001	TestDAC1 的输出(AUX1)，TestDAC2 的输出(AUX2)[1]
		0010	测试信号 Corr1[1]
		0011	保留
		0100	DAC：测试信号 MinLevel[1]
		0101	DAC：测试信号 ADC_I[1]
		0110	DAC：测试信号 ADC_Q[1]
		0111	保留
		1000	保留，用于生产测试[1]

		1001	保留
		1010	高电平
		1011	低电平
		1100	TxActive： 106kBd：在起始位、数据位、奇偶位和 CRC 传输过程中为高电平 212kBd：424kBd 和 848kBd：在数据位和 CRC 传输过程为高电平
		1101	RxActive： 106kBd：在数据位、奇偶位和 CRC 传输过程中为高电平 212kBd：424kBd 和 848kBd：在数据位和 CRC 传输过程为高电平
		1110	副载波检测： 106kBd：不适用 212kBd：424kBd 和 848kBd：在数据位和 CRC 传输过程为高电平
		1111	由 TestSel1Reg 寄存器的 TstBusBitSel[2:0]位定义测试总线位 注：所有测试信号的描述见 5.1 节
3-0	AnalogSelAux2[3:0]	-	控制管脚 AUX2（见 AUX1 的位描述）

[1] 注：电流源输出；建议在 AUXn 管脚使用 510Ω的下拉电阻。

2.3.4.10 TestDAC1Reg 寄存器

定义 TestDAC1 的测试值。

表 135.TestDAC1Reg 寄存器（地址 39h）；复位值：xxh

位	7 6	5 4 3 2 1 0
符号	reserved	TestDAC1[5:0]
访问类型	-	R/W

表 136.TestDAC1Reg 寄存器位的描述

位	符号	描述
7	reserved	保留用于生产测试
6	reserved	保留
5-0	TestDAC1[5:0]	定义 TestDAC1 的测试值。 通过设置 AnalogTestReg 寄存器的 AnalogSelAux1[3:0]的值为 0001b 可以使 DAC1 的输出切换成 AUX1。

2.3.4.11 TestDAC2Reg 寄存器

定义 TestDAC2 的测试值。

表 137.TestDAC2Reg 寄存器（地址 3Ah）；复位值：xxh

位	7 6	5 4 3 2 1 0
符号	reserved	TestDAC2[5:0]
访问类型	-	R/W

表 138.TestDAC2Reg 寄存器位的描述

位	符号	描述
7-6	reserved	保留
5-0	TestDAC2[5:0]	定义 TestDAC2 的测试值。 通过设置 AnalogTestReg 寄存器的 AnalogSelAux2[3:0]的值为 0001b 可以使 DAC2 的输出切换成 AUX2。

2.3.4.12 TestDAC2Reg 寄存器

显示 ADC 的 I 和 Q 通道的值 。

表 139.TestDAC2Reg 寄存器（地址 3Bh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	ADC_I[3:0]				ADC_Q[3:0]			
访问类型	R				R			

表 140.TestDAC2Reg 寄存器位的描述

位	符号	描述
7-4	ADC_I[3:0]	ADC I 通道的值。
3-0	ADC_Q[3:0]	ADC Q 通道的值。

2.3.4.13 保留寄存器 3Ch

功能保留用于生产测试。

表 141.Reserved 寄存器（地址 3Ch）；复位值：FFh

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

表 142.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

表 143.Reserved 寄存器（地址 3Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

表 144.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

表 145.Reserved 寄存器（地址 3Eh）；复位值：03h

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

表 146.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

表 147.Reserved 寄存器（地址 3Fh）；复位值：00h

位	7	6	5	4	3	2	1	0

符号	reserved
访问类型	-

表 148.Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

MS523 指令

3.1 概述

MS523 的运行状态是由能够执行一系列指令的内部状态机决定的。通过把指令代码写入 CommandReg 寄存器来执行相应的指令。

通过 FIFO 缓冲区来处理一个指令所需的参数和/或数据。

3.2 一般特性

•每个需要输入数据流或（数据字节流）的指令会立即处理它在 FIFO 缓冲区中发现的数据。一个例外是 Transceive 指令。使用此指令，可通过设置 BitFraming 寄存器的 StartSend 位来启动传送器。

•每个需要预先设置一些参数的指令只有当从 FIFO 缓冲区中接收到正确数量的参数时才开始运行。

•当指令启动时 FIFO 缓冲区不会立即清零。这使得我们能够先把指令参数和数据写进 FIFO 缓冲区然后再启动指令。

•每个指令都能被写进 CommandReg 寄存器中新的指令中断，例如，Idle 指令。

3.3 MS523 指令总览

表 149. 指令总览

指令	指令代码	含义
Idle	0000	无动作；取消当前执行的指令
Mem	0001	存储 25 字节的数据到内部缓冲区
Generate RandomID	0010	产生一个 10 字节的随机 ID 数据
CalcCRC	0011	激活 CRC 协处理器或执行自检
Transmit	0100	从 FIFO 缓冲区中发送数据
NoCmdChange	0111	不改变正在执行的指令，用来调整 CommandReg 寄存器中的一些位，例如 PowerDown 位
Receive	1000	激活接收器电路
Transceive	1100	将 FIFO 中的数据发送到天线并在发送后自动激活接收器
-	1101	保留
SoftReset	1111	复位 MS523

3.3.1 MS523 指令描述

3.3.1.1 Idle

MS523 处于空闲模式。该指令自动终止。

3.3.1.2 Mem

从 FIFO 缓冲区到内部缓冲区传送 25 字节的数据。

为了从内部缓冲区读出 25 个字节，Mem 指令必须在 FIFO 缓冲区为空时才能启动。这种情况下，25 字节数据从内部缓区冲转移到 FIFO。

硬掉电期间（使用管脚 NRSTPD），内部缓冲区的 25 字节的数据保持不变，且只在 MS523 断电时丢失。

当执行完后时，该指令自动终止且 Idle 指令激活。

3.3.1.3 Generate RandomID

该指令产生 10 个字节的随机数，最初存储在内部缓存区。然后，这会覆盖内部 25 个字节缓冲区中的 10 个字节。当执行完后时，该指令自动终止且 MS523 进入空闲模式。

3.3.1.4 CalcCRC

FIFO 缓冲区中的数据传输到 CRC 协处理器并执行 CRC 计算。计算结果存放在 CRCResultReg 寄存器中。CRC 计算并不局限于一些特定的字节。在数据流过程中当 FIFO 变成空时，计算也不会停止。写入 FIFO 缓冲区的下一个字节也被用于计算。

CRC 的预置值由寄存器 ModeReg 的 CRCPreset[1:0]位设置。当指令开始时该值装入 CRC 协处理器。

该指令必须通过向 CommandReg 寄存器写入任何一个指令来终止，例如 Idle 指令。

如果 AutoTestReg 寄存器的 SelfTest[3:0]位设置正确，则 MS523 进入自检模式。启动 CalCRC 指令执行一次数字自检。自检的结果写入 FIFO 缓冲区。

3.3.1.5 Transmit

该指令启动后 FIFO 缓冲区中的数据立即开始发送。在发送之前，所有相关的寄存器必须被设置为数据发送。

当 FIFO 缓冲区中的内容为空时该指令自动终止。它也可以被写 CommandReg 寄存器中的另一个指令终止。

3.3.1.6 NoCmdChange

该指令不会影响 CommandReg 寄存器中正在执行任何的指令。它可以用来修改 CommandReg 寄存器中除 Command[3:0]位之外的任何位，例如，RcvOff 位或 PowerDown 位。

3.3.1.7 Receive

MS523 激活接收器电路等待接收数据。在启动该指令之前必须正确设置相关的寄存器。

当数据流结束时该指令自动终止。根据所选帧的类型和速度，通过帧模式结束或长度字节来指示。

注：如果 RxModeReg 寄存器的 RxMultiple 位被置为 1，Receive 指令将不会自动终止。必须通过启动 CommandReg 寄存器中的其它指令来终止该指令。

3.3.1.8 Transceive

该指令不断重复发送 FIFO 缓冲区中的数据，并接收 RF 场的数据。第一个动作是发送，发送结束后指令变为接收数据流。

通过设置 BitFramingReg 寄存器中 StartSend 位为 1 来启动每次数据的发送。该指令必须向 CommandReg 寄存器写入其它任何指令来清除。

注：如果 RxModeReg 寄存器的 RxMultiple 位被置为 1，Transceive 指令就不会离开接收状态因为此状态不能自动取消。

3.3.1.9 SoftReset

此指令执行对器件的复位。内部缓冲区的数据保持不变，所有寄存器都设置成复位值。指令完成后自动终止。

注：由于 SerialSpeedReg 寄存器被复位，串行数据速率设置为 9.6kBd。

极限值

表 150. 极限值

按照绝对最大额定值系统（IEC 60134）

符号	参数	条件	最小值	最大值	单位
V_{DDA}	模拟电源		-0.5	+4.0	V
V_{DDD}	数字电源		-0.5	+4.0	V
$V_{DD(PVDD)}$	PVDD 电源		-0.5	+4.0	V
$V_{DD(TVDD}$	TVDD 电源		-0.5	+4.0	V
$V_{DD(SVDD}$	SVDD 电源		-0.5	+4.0	V
V_I	输入电压	除 TIN 和 RX 之外的所有输入管脚	$V_{SS(PVSS)}$-0.5	$V_{DD(PVDD)}$-0.5	V
		TIN 管脚	$V_{SS(PVSS)}$-0.5	$V_{DD(SVDD)}$-0.5	V
P_{tot}	总功耗	每个封装；在短路模式下的 V_{DDD}	-	200	mW
T_j	结温		-	100	℃
V_{ESD}	ESD 电压	HBM；150Ω；100pF； JESD22-A144-B	-	2000	V
		MM；0.75μH；200pF； JESD22-A144-A	-	200	V

推荐工作条件

表 151. 工作条件

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源	$V_{DD(PVDD)} \le V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	2.5	3.3	3.6	V
V_{DDD}	数字电源	$V_{DD(PVDD)} \le V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	2.5	3.3	3.6	V
$V_{DD(TVDD)}$	TVDD 电源	$V_{DD(PVDD)} \le V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	2.5	3.3	3.6	V
$V_{DD(PVDD)}$	PVDD 电源	$V_{DD(PVDD)} \le V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [3] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	1.6	1.8	3.6	V
$V_{DD(SVDD)}$	SVDD 电源	$V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	1.6	-	3.6	V
T_{amb}	环境温度	QFN32	-40	-	+100	℃

[1] 电源电压在 3V 以下会降低器件的性能（可实现的通讯距离）。

[2] V_{DDA}，V_{DDD} 和 $V_{DD(TVDD)}$ 必须是相同电压。

[3] $V_{DD(PVDD)}$ 应当总是等于或低于 V_{DDD}。

特性

表 153. 特性

符号	参数	条件	最小值	典型值	最大值	单位
输入特性						
管脚 EA，I2C 和 NRSTPD						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
管脚 TIN						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
管脚 SDA						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
管脚 RX[1]						
V_i	输入电压		-1	-	V_{DDA} +1	V
C_i	输入电容	V_{DDA}=3V;接收器打开; $V_{RX(p-p)}$=1V;1.5V(DC)	-	10	-	pF
R_i	输入电阻	V_{DDA}=3V;接收器打开; $V_{RX(p-p)}$=1V;1.5V(DC)	-	350	-	Ω
输入电压范围；见图 24						
$V_{i(p-p)(min)}$	输入电压最小峰峰值	曼彻斯特编码； V_{DDA}=3V	-	100	-	mV
$V_{i(p-p)(max)}$	输入电压最大峰峰值	曼彻斯特编码； V_{DDA}=3V	-	4	-	V
输入灵敏度；见图 24						
V_{mod}	调制	最小曼彻斯特编码； V_{DDA}=3V； RxGain[2:0]=111b(48dB)	-	5	-	mV
管脚 OSCIN						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DDA}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DDA}$	V
Ci	输入电容	VDDA=2.8V; DC=0.65V; AC=1V(p-p)	-	2	-	pF
输入/输出特性						
管脚 D1，D2，D3，D4，D5，D6 和 D7						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V

V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
V_{OH}	输出电压高电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{DD(PVDD)}$-0.4	-	$V_{DD(PVDD)}$	V
V_{OL}	输出电压低电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{SS(PVSS)}$	-	$V_{SS(PVSS)}$+0.4	V
I_{OH}	输出电流高电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
I_{OL}	输出电流低电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
输出特性						
管脚 TOUT						
V_{OH}	输出电压高电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{DD(PVDD)}$-0.4	-	$V_{DD(PVDD)}$	V
V_{OL}	输出电压低电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{SS(PVSS)}$	-	$V_{SS(PVSS)}$+0.4	V
I_{OH}	输出电流高电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
I_{OL}	输出电流低电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
管脚 IRQ						
V_{OH}	输出电压高电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{DD(PVDD)}$-0.4	-	$V_{DD(PVDD)}$	V
V_{OL}	输出电压低电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{SS(PVSS)}$	-	$V_{SS(PVSS)}$+0.4	V
I_{OH}	输出电流高电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
I_{OL}	输出电流低电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
管脚 AUX1 和 AUX2						
V_{OH}	输出电压高电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{DD(PVDD)}$-0.4	-	$V_{DD(PVDD)}$	V
V_{OL}	输出电压低电平	$V_{DD(PVDD)}$= 3V;I_O=4mA	$V_{SS(PVSS)}$	-	$V_{SS(PVSS)}$+0.4	V
I_{OH}	输出电流高电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
I_{OL}	输出电流低电平	$V_{DD(PVDD)}$= 3V	-	-	4	mA
管脚 TX1 和 TX2						
V_{OH}	输出电压高电平	$V_{DD(TVDD)}$=3V; $I_{DD(TVDD)}$=32mA; CWGsP[5:0]=3Fh	$V_{DD(TVDD)}$-0.15	-	-	V
		$V_{DD(TVDD)}$=3V; $I_{DD(TVDD)}$=80mA; CWGsP[5:0]=3Fh	$V_{DD(TVDD)}$-0.4	-	-	V
		$V_{DD(TVDD)}$=2.5V; $I_{DD(TVDD)}$=32mA; CWGsP[5:0]=3Fh	$V_{DD(TVDD)}$-0.24	-	-	V
		$V_{DD(TVDD)}$=2.5V; $I_{DD(TVDD)}$=80mA; CWGsP[5:0]=3Fh	$V_{DD(TVDD)}$-0.64	-	-	V
V_{OL}	输出电压低电平	$V_{DD(TVDD)}$=3V; $I_{DD(TVDD)}$=32mA; CWGsP[5:0]=0Fh	-	-	0.15	V
		$V_{DD(TVDD)}$=3V; $I_{DD(TVDD)}$=80mA; CWGsP[5:0]=0Fh	-	-	0.4	V
		$V_{DD(TVDD)}$=2.5V; $I_{DD(TVDD)}$=32mA; CWGsP[5:0]=0Fh	-	-	0.24	V
		$V_{DD(TVDD)}$=2.5V; $I_{DD(TVDD)}$=80mA; CWGsP[5:0]=0Fh	-	-	0.64	V

消耗电流						
I_{pd}	掉电电流	$V_{DDA}=V_{DDD}=V_{DD(TVDD)}=V_{DD(PVDD)}=3V$				
		硬掉电；NRSTPD=LOW [2]	-	-	5	μA
		软掉电；RF 电平检测器关闭 [2]	-	-	10	μA
I_{DDD}	数字电源电流	管脚 DVDD; $V_{DDD}=3V$	-	5.7	-	mA
I_{DDA}	模拟电源电流	管脚 AVDD; $V_{DDA}=3V$; CommandReg 寄存器的 RcvOff=0	-	3.8	-	mA
		管脚 AVDD; 接收器关闭 $V_{DDA}=3V$; CommandReg 寄存器的 RcvOff=1	-	1.3	-	mA
$I_{DD(PVDD)}$	PVDD 电源电流	管脚 PVDD [3]	-	-	40	mA
$I_{DD(TVDD)}$	TVDD 电源电流	管脚 TVDD;连续波 [4][5][6]	-	60	100	mA
$I_{DD(SVDD)}$	SVDD 电源电流	管脚 SVDD [7]	-	-	4	mA
时钟频率						
f_{clk}	时钟频率		-	27.12	-	MHz
δ_{clk}	占空比		40	50	60	%
t_{jit}	抖动时间	RMS	-	-	10	ps
晶振						
V_{OH}	输出电压高电平	管脚 OSCOUT	-	1.1	-	V
V_{OL}	输出电压低电平	管脚 OSCOUT	-	0.2	-	V
Ci	输入电容	管脚 OSCOUT	-	2	-	pF
		管脚 OSCIN	-	2	-	pF
典型输入要求						
f_{xtal}	晶振频率		-	27.12	-	MHz
ESR	等效串联电阻		-	-	100	Ω
C_L	负载电容		-	10	-	pF
P_{xtal}	晶振功耗		-	50	100	mW

[1] 管脚 RX 上的电压被内部二极管钳位到管脚 AVSS 和 AVDD。

[2] I_{pd} 为所有电源的总电流。

[3] $I_{DD(PVDD)}$ 取决于数字引脚上的总负载。

[4] $I_{DD(TVDD)}$ 取决于 $V_{DD(TVDD)}$ 和连接到管脚 TX1 和 TX2 上的外部电路。

[5] 典型电路工作时，总电流低于 100mA。

[6] 使用互补驱动器的典型值，在 13.56MHz 频率下管脚 TX1 和 TX2 阻抗值为 40Ω。

[7] $I_{DD(SVDD)}$ 取决于管脚 TOUT 上的负载。

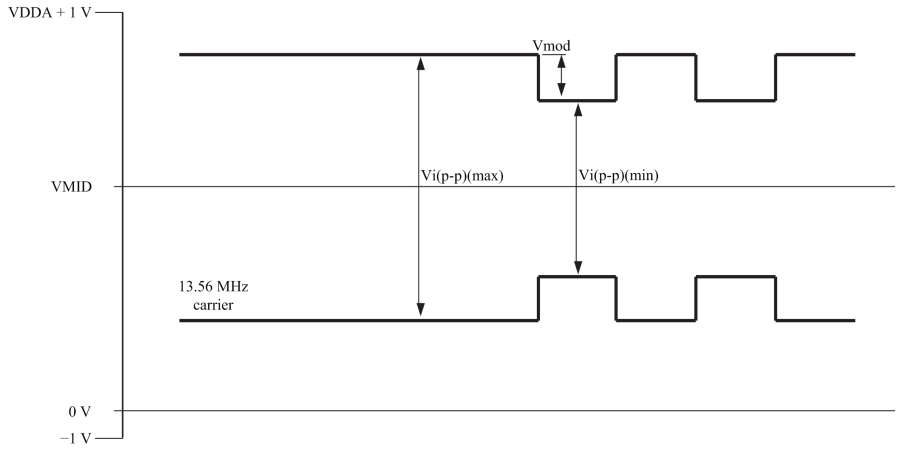


图 24. 管脚 RX 输入电压范围

4.1 时序特性

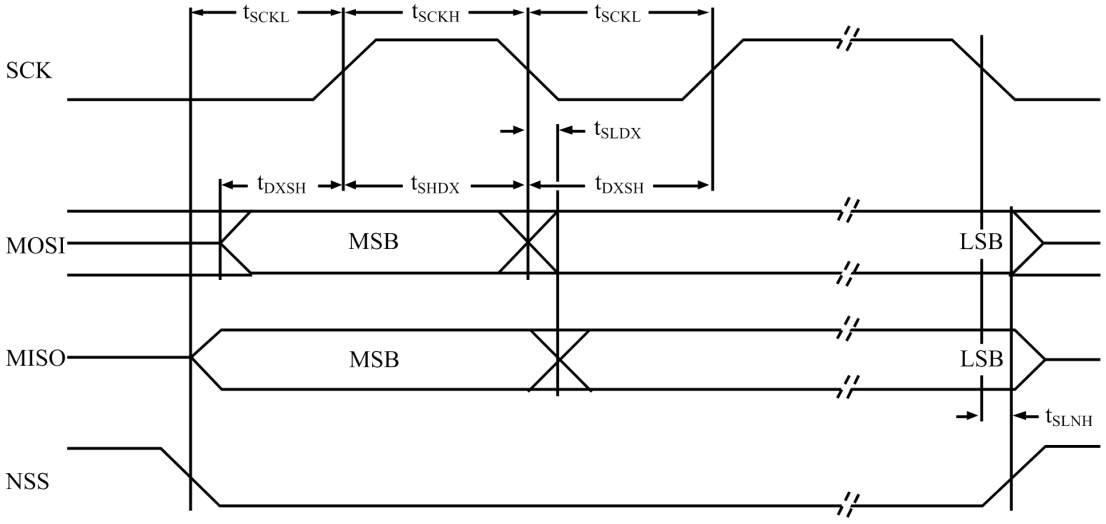
表 154. SPI 的时序特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{WL}	低电平脉宽	SCK	50	-	-	ns
t_{WH}	高电平脉宽	SCK	50	-	-	ns
$t_{h(SCKH-D)}$	SCK 高电平到数据输入的保持时间	SCK 到变化的 MOSI	25	-	-	ns
$t_{su(D-SCKH)}$	数据输入到 SCK 高电平的建立时间	变化的 MOSI 到 SCK	25	-	-	ns
$t_{h(SCKL-Q)}$	SCK 低电平到数据输出的保持时间	SCK 到变化的 MISO	-	-	25	ns
$t_{(SCKL-NSSH)}$	SCK 低电平到 NSS 高电平的时间		0	-	-	ns
t_{NHNL}	通信前 NSS 高电平的时间		50	-	-	ns

表 155. 快速模式下 I²C 总线的时序

符号	参数	条件	快速模式		高速模式		单位
			最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率		0	400	0	3400	kHz
$t_{HD;STA}$	保持时间（重复）起始条件	这个周期之后产生第一个时钟脉冲	600	-	160	-	ns
$t_{SU;STA}$	重复起始条件的建立时间		600	-	160	-	ns
$t_{SU;STO}$	停止条件的建立时间		600	-	160	-	ns
t_{LOW}	SCL 时钟低电平周期		1300	-	160	-	ns
t_{HIGH}	SCL 时钟高电平周期		600	-	160	-	ns
$t_{HD;DAT}$	数据保持时间		0	900	0	70	ns
$t_{SU;DAT}$	数据建立时间		100	-	10	-	ns

t_r	上升时间	SCL 信号	20	300	10	40	ns
t_f	下降时间	SCL 信号	20	300	10	40	ns
t_r	上升时间	SDA 和 SCL 信号	20	300	10	80	ns
t_f	下降时间	SDA 和 SCL 信号	20	300	10	80	ns
t_{BUF}	停止条件和起始条件之间的总线空闲时间		1.3	-	1.3	-	μs



Remark: The signal NSS must be LOW to be able to send several bytes in one data stream.
To send more than one data stream NSS must be HIGH between the data streams.

图 25. SPI 时序图

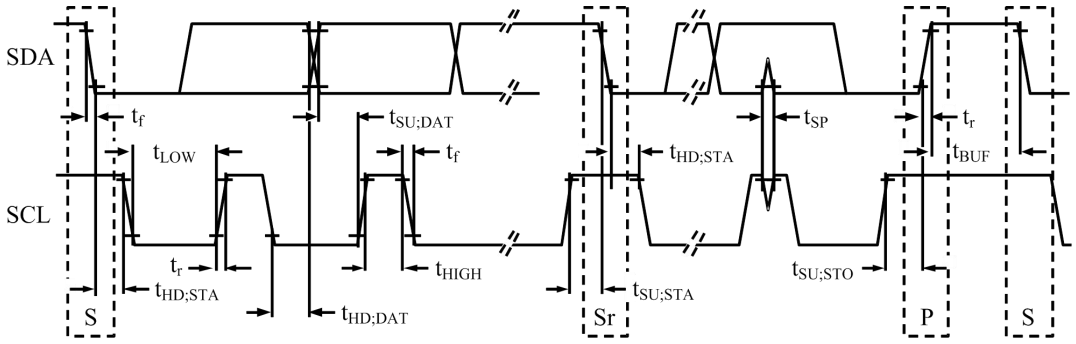


图 26. I²C 总线上快速和标准模式器件的时序

应用信息

MS523 采用互补天线驱动器的典型应用框图如图 27 所示。

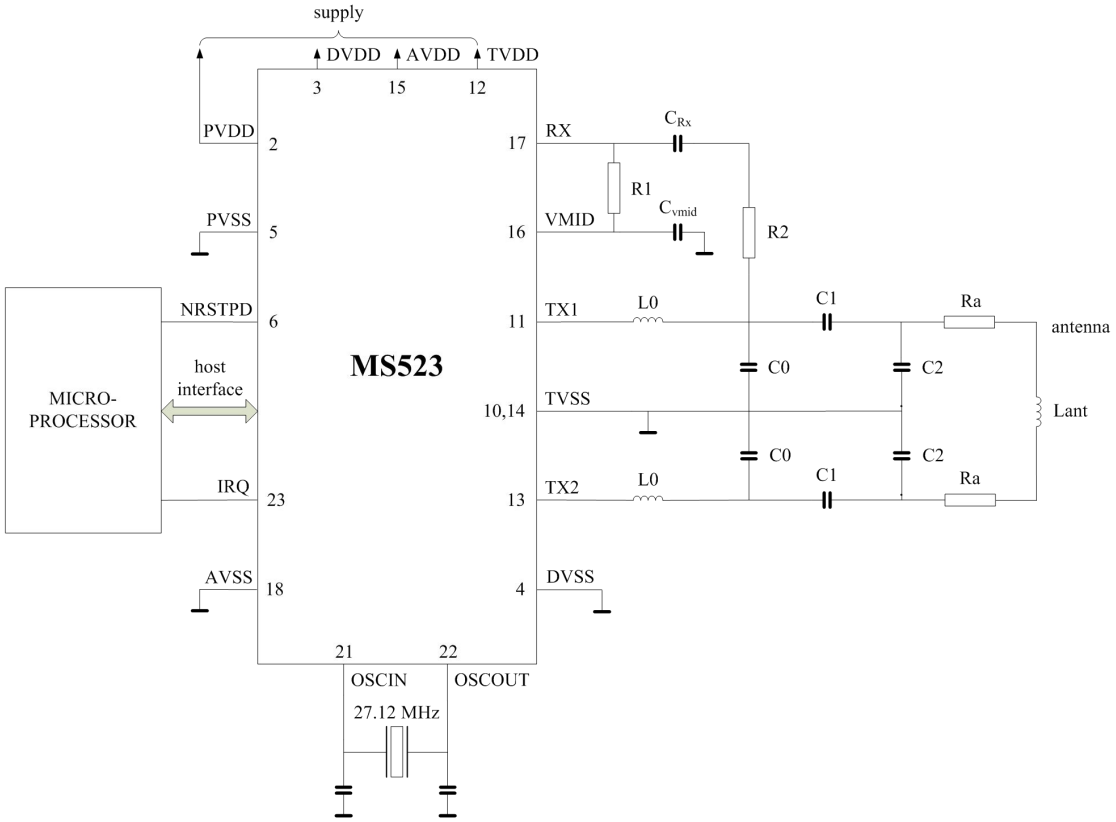


图 27. 典型应用图

测试信号

5.1 自检

MS523 可以进行数字自检。可按照如下步骤启动自检：

1. 执行软件复位。
2. 往内部缓冲区写入 25 字节 00h 来清零缓冲区。执行 Mem 指令。
3. 通过向 AutoTestReg 寄存器中写入 09h 来使能自检。
4. 向 FIFO 缓冲区写 00h。
5. 执行 CalcCRC 指令来启动自检。
6. 启动自检。
7. 当自检完成时，FIFO 缓冲区包含下列的 64 个字节：

00h, C6h, 37h, D5h, 32h, B7h, 57h, 5Ch,
C2h, D8h, 7Ch, 4Dh, D9h, 70h, C7h, 73h,
10h, E6h, D2h, AAh, 5Eh, A1h, 3Eh, 5Ah,
14h, AFh, 30h, 61h, C9h, 70h, DBh, 2Eh,
64h, 22h, 72h, B5h, BDh, 65h, F4h, ECh,
22h, BCh, D3h, 72h, 35h, CDh, AAh, 41h,
1Fh, A7h, F3h, 53h, 14h, DEh, 7Eh, 02h,
D9h, 0Fh, B5h, 5Eh, 25h, 1Dh, 29h, 79h

5.1.2 测试总线

测试总线用于生产测试。以下配置可用来改善采用 MS523 的系统设计。测试总线允许内部信号通过数字接口输出。测试总线包括两种测试信号，该总线使用 TestSel2Reg 寄存器的 TestBusSel[4:0]位指定的子地址。测试信号及与之相关的数字输出管脚描述见表 156 和表 157。

表 156. 测试总线信号：TestBusSel[4:0]=07h

管脚	内部信号名	描述
D6	s_data	接收到的数据流
D5	s_coll	位冲突检测（仅适用于 106kBd）
D4	s_valid	s_data 和 s_coll 信号有效
D3	s_over	接收器检测到一个结束位
D2	RCV_reset	接收器复位
D1	-	保留

表 157. 测试总线信号：TestBusSel[4:0]=0Dh

管脚	内部信号名	描述
D6	clkstable	振荡器输出信号
D5	clk27/8	振荡器输出信号 8 分频
D4-D3	-	保留
D2	clk27	振荡器输出信号
D1	-	保留

5.1.3 管脚 AUX1 和 AUX2 的测试信号

MS523 允许用户选择管脚 AUX1 或 AUX2 的内部信号来进行测试。这种测试有助于在设计阶段优化设计，或用于自检。

表 158 显示了通过设置 AnalogTestReg 寄存器的 AnalogSelAux1[3:0]和 AnalogSelAux2[3:0]位可以切换 AUX1 或 AUX2 管脚的信号。

注：DAC 存在电流输出，因此建议将一个 510Ω的下拉电阻连接到管脚 AUX1 或 AUX2。

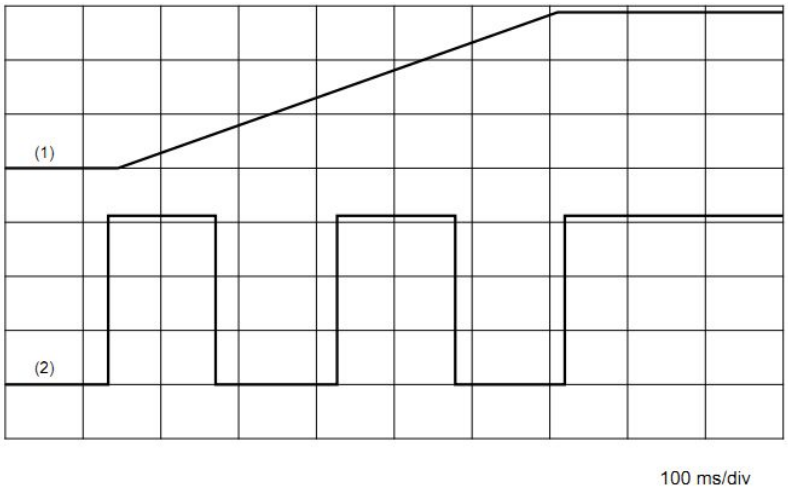
表 158. 测试信号描述

AnalogSelAux1[3:0]或 AnalogSelAux2[3:0]值	管脚 AUX1 或 AUX2 的信号
0000	三态
0001	DAC:寄存器 TestDAC1 或 TestDAC2
0010	DAC:测试信号 Corr1
0011	保留
0100	DAC：测试信号 MinLevel
0101	DAC：测试信号 ADC_I
0110	DAC：测试信号 ADC_Q
0111-1001	保留
1010	高电平
1011	低电平
1100	TxActive
1101	RxActive
1110	副载波检测
1111	TstBusBit

5.1.3.1 例：输出测试信号 TestDAC1 和 TestDAC2

AnalogTestReg 寄存器设置为 11h。管脚 AUX1 输出测试信号 TestDAC1，管脚 AUX2 输出测试信号 TestDAC2。TestDAC1 和 TestDAC2 的值由 TestDAC1Reg 和 TestDAC2Reg 寄存器控制。

图 28 显示了 TestDAC1Reg 寄存器的值由 00h 逐渐变化到 3Fh 时输出管脚 AUX1 的测试信号 TestDAC1 的变化以及 TestDAC2Reg 寄存器的值在 00h 和 3Fh 这两个值之间跳变时输出管脚 AUX2 的测试信号 TestDAC2 的变化。

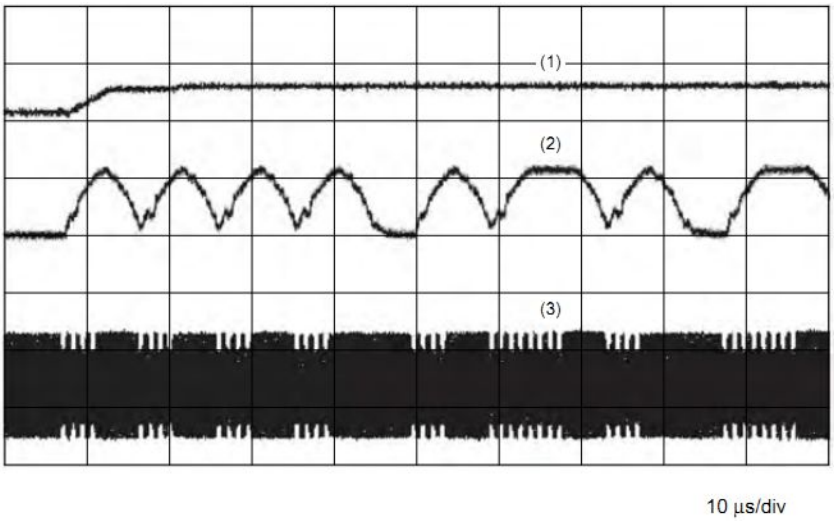


(1) TestDAC1 (500 mV/div) on pin AUX1.
(2) TestDAC2 (500 mV/div) on pin AUX2.

图 28. 管脚 AUX1 输出的测试信号 TestDAC1 和 AUX2 输出的测试信号 TestDAC2

5.1.3.2 例：输出测试信号 Corr1 和 MinLevel

图 29 显示了管脚 AUX1 的测试信号 Corr1 和 AUX2 的测试信号 MinLeve。AnalogTestReg 寄存器设置为 24h。

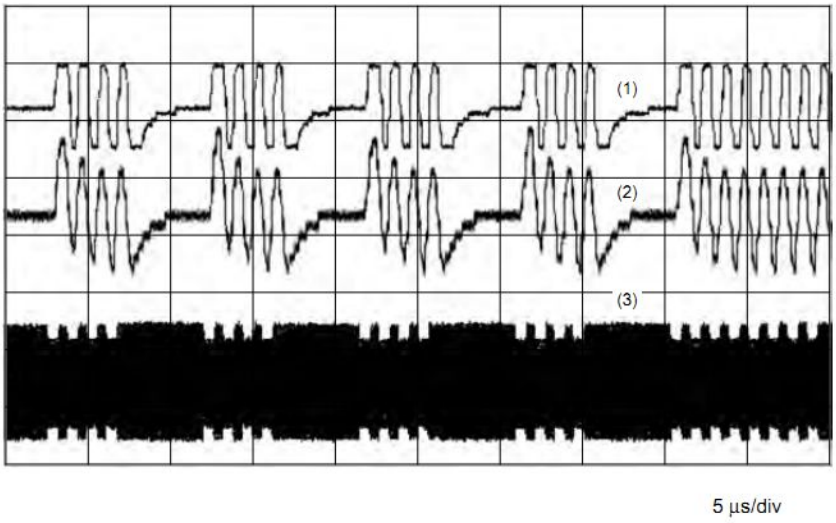


(1) MinLevel (1 V/div) on pin AUX2.
(2) Corr1 (1 V/div) on pin AUX1.
(3) RF field.

图 29. 管脚 AUX1 输出的测试信号 Corr1 和 AUX2 输出的测试信号 MinLevel

5.1.3.3 例：输出测试信号 ADC 通道 I 和 Q

图 30 显示了管脚 AUX1 的测试信号 ADC_I 和管脚 AUX2 的测试信号 ADC_Q。AnalogTestReg 寄存器设置为 56h。



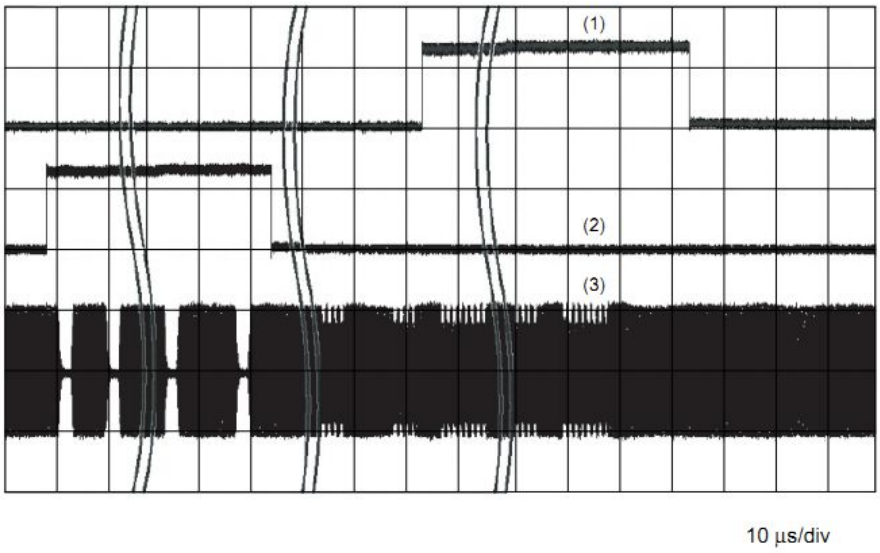
(1) ADC_I (1 V/div) on pin AUX1.
(2) ADC_Q (500 mV/div) on pin AUX2.
(3) RF field.

图 30. 管脚 AUX1 的测试信号 ADC_I 和管脚 AUX2 的测试信号 ADC_Q

5.1.3.4 例：输出测试信号 RxActive 和 TxActive

图 31 显示了和 RF 通信相关的测试信号 RxActive 和 TxActive。AnalogTestReg 寄存器设置为 CDh。

- 以 106kBd 速率通信时，在接收数据位，奇偶校验位和 CRC 位时，RxActive 为高电平。不包括起始位。
- 以 106kBd 速率通信时，在发送起始位，数据位，奇偶校验位和 CRC 位时，TxActive 为高电平。
- 以 212kBd，424kBd，848kBd 速率通信时，在接收数据位和 CRC 位时，RxActive 为高电平。不包括起始位。
- 以 212kBd，424kBd，848kBd 速率通信时，在发送数据位和 CRC 位时，TxActive 为高电平。

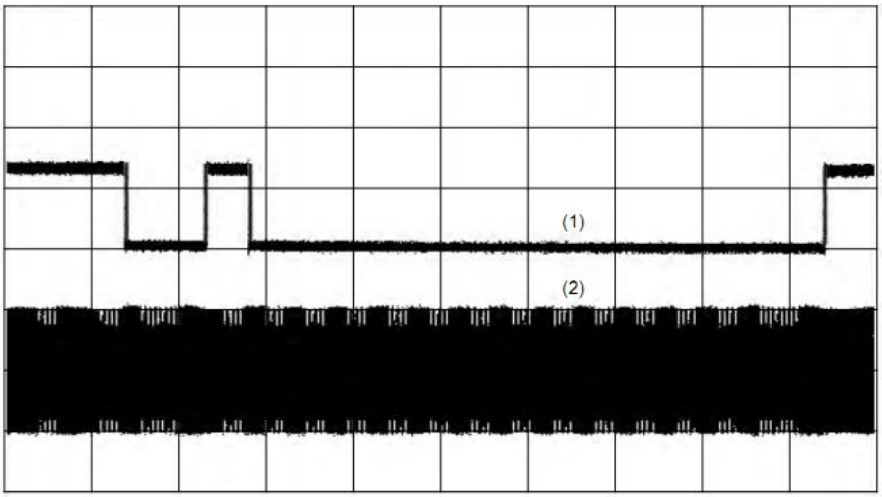


(1) RxActive (2 V/div) on pin AUX1.
(2) TxActive (2 V/div) on pin AUX2.
(3) RF field.

图 31. 管脚 AUX1 的输出信号 RxActive 和管脚 AUX2 的输出信号 TxActive

5.1.3.5 例：输出测试信号 Rx 数据流

图 32 显示了当前正在接收的数据流。TestSel2Reg 寄存器的 TestBusSel[4:0]位设置为 07h ，使能管脚 D1-D6 的测试总线信号。当 TestSel1Reg 寄存器的 TstBusBitSel[2:0]位设置为 06h(管脚 D6=s_data)，且 AnalogTestReg 寄存器设置为 FFh(TstBusBit) 时，管脚 AUX1 和 AUX2 输出已接收的数据流。



(1) s_data (received data stream) (2 V/div).
(2) RF field.

图 32.管脚 AUX1 和 AUX2 已接收的数据流

5.1.3.6 PRBS

基于 ITU-T0150 的伪随机二进制序列 PRBS9 和 PRBS15 由寄存器 TestSel2Reg 定义。任何一种数据流的传输由 Transmit 指令启动。根据所选择的模式自动产生头码/同步字节/起始位/奇偶位。

注：在进入 PRBS 模式前，所有与发送数据相关的寄存器都必须遵循 ITU-T0150 来进行配置。

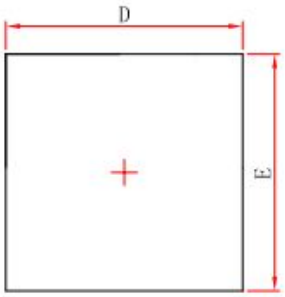
缩写

表 159. 缩写

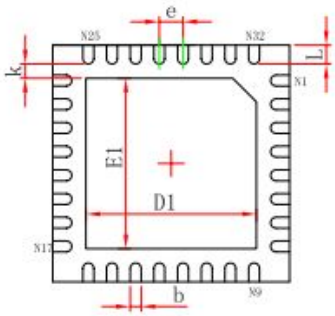
缩写	描述
ADC	模数转换器
BPSK	二进制移相键控
CRC	循环冗余校验
CW	连续波
DAC	数模转换器
HBM	人体模式
I^2C	集成电路总线
LSB	最低有效位
MISO	主入从出
MM	机器模式
MOSI	主出从入
MSB	最高有效位
NRZ	不归零码
NSS	非从机选择
PLL	锁相环
PRBS	伪随机二进制序列
RX	接收器
SOF	帧起始
SPI	同步物理接口
TX	发送器
UART	通用异步接收器

封装外形图

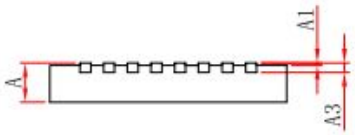
QFN32 UNIT: mm



Top View



Bottom View



Side View

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
L	0.324	0.476	0.013	0.019

MOS电路操作注意事项：

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电影响而引起的损坏：

- 操作人员要通过防静电腕带接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。